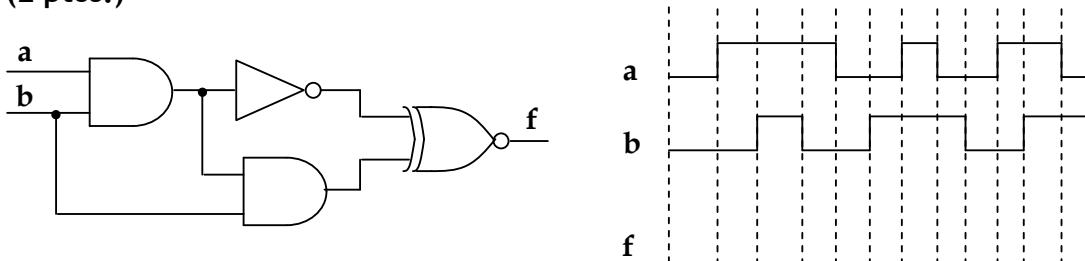


PRUEBA DE ENTRADA

NOMBRE : _____ FECHA: ____/____/2005

CÓDIGO : _____ LAB. N°: 2 HORARIO: H-441

1. Complete el diagrama de tiempos del circuito mostrado (dibuje la señal 'f'):
(2 pts.)



2. Implemente, usando sólo compuertas NAND, el circuito cuya descripción VHDL se muestra: (2 pts.)

```

library ieee;
use ieee.std_logic_1164.all;

entity circ is
  port (
    a, b, c: in std_logic;
    f: out std_logic);
end circ;

architecture a of circ is

  signal x, y: std_logic;

begin

  x <= a xor b;
  y <= b nor x;
  f <= c and y;

end a;
    
```

3. Max+PlusII: Diga qué sucedería si al compilar un diseño (en VHDL o modo gráfico) usted se olvida de hacer 'Set Project to Current File' (o CTRL+SHIFT+J) (1 pto.)

PRUEBA DE ENTRADA

NOMBRE : _____ FECHA: ____/____/2005

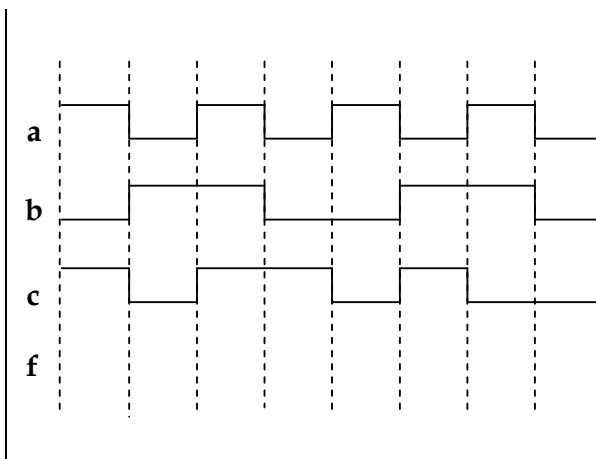
CÓDIGO : _____ LAB. N°: 2 HORARIO: H-442

1. Complete el diagrama de tiempos del circuito cuya descripción en VHDL se muestra (dibuje la señal 'f'): (2 pts.)

```
library ieee;
use ieee.std_logic_1164.all;

entity circ is
port (
a, b, c: in std_logic;
f: out std_logic);
end circ;

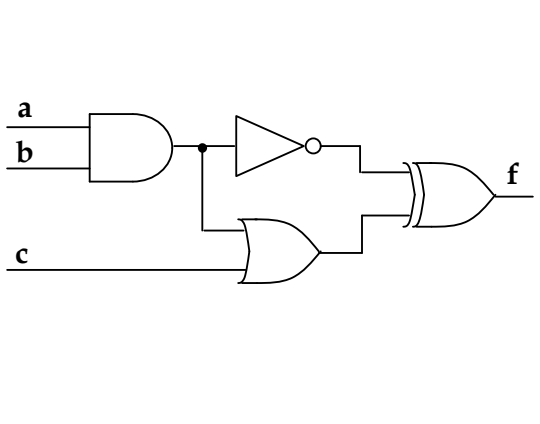
architecture a of circ is
signal x, y: std_logic;
begin
x <= a and b;
y <= x xnor c;
f <= y xor (not b);
end a;
```



2. Establezca la veracidad o falsedad de los siguientes enunciados (2 pts.)

- a) El circuito cuya salida es '1' cuando dos bits son iguales consta sólo de una compuerta XOR. ()
- b) Max+PlusII: Si la compilación es física, al simular no existirán los tiempos de propagación de las entradas hacia las salidas. ()
- c) La siguiente línea de código VHDL representa una compuerta NAND:
f <= not(a) or not(b); ()
- d) Se requieren 4 compuertas NAND para implementar una NOR. ()

3. Implemente con compuertas NAND el siguiente circuito: (1 pto.)



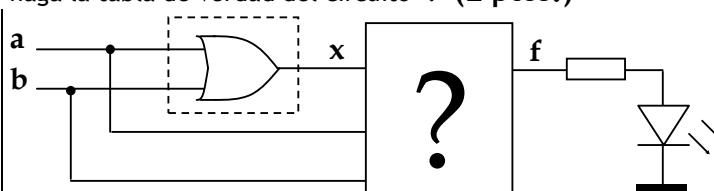
PRUEBA DE ENTRADA

NOMBRE : _____ FECHA: ____/____/2005

CÓDIGO : _____ LAB. N°: 2 HORARIO: H-443

1. Diseñe el circuito del rectángulo ('?') tal que éste verifique el funcionamiento de una compuerta OR. $f = '1'$ (LED encendido) si la compuerta OR funciona correctamente. Sug.: Primero haga la tabla de verdad del circuito '?' (2 ptos.)

Tabla de Verdad:



Circuito:

2. Complete el código VHDL del circuito cuyo diagrama de tiempos se muestra. (2 ptos.)

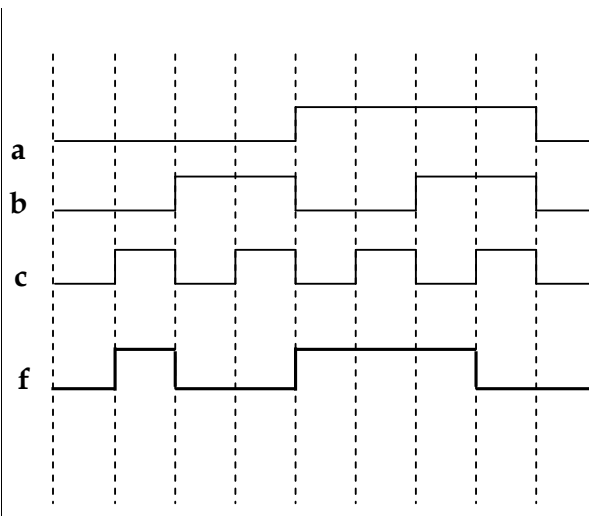
```
library ieee;
use ieee.std_logic_1164.all;

entity circ is
  port ( a, b, c: in std_logic;
        f: out std_logic);
end circ;

architecture a of circ is

begin

end a;
```



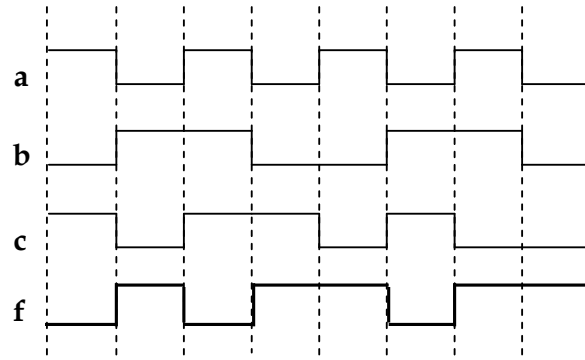
3. Max+PlusII: Diga la diferencia entre una Compilación Funcional y una C. Física. (1 pto.)

PRUEBA DE ENTRADA

NOMBRE : _____ FECHA: ____/____/2005

CÓDIGO : _____ LAB. N°: 2 HORARIO: H-444

1. Implemente, usando sólo compuertas NOR, el circuito cuyo diagrama de tiempos se muestra. Sug.: Primero minimice con álgebra de Boole (2 ptos.)



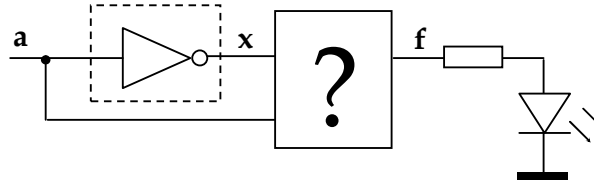
2. Implemente el circuito descrito mediante el siguiente código VHDL: (2 ptos.)

```
library ieee;
use ieee.std_logic_1164.all;

entity circ is
port (a, b, c: in std_logic;
      f: out std_logic);
end circ;

architecture a of circ is
signal x, y: std_logic;
begin
x <= a nor b;
y <= b and x;
f <= c xor y;
end a;
```

3. Diseñe el circuito del rectángulo ('?') tal que éste verifique el funcionamiento de una compuerta NOT. f = '1' (LED encendido) si la compuerta NOT funciona correctamente. (1 pto.)



PRUEBA DE ENTRADA

NOMBRE : _____ FECHA: ____/____/2005

CÓDIGO : _____ LAB. N°: 2 HORARIO: H-445

1. Complete el diagrama de tiempos (dibuje la señal 'f') e implemente, con sólo compuertas NOR, el circuito cuyo código VHDL se muestra: (2 ptos.)

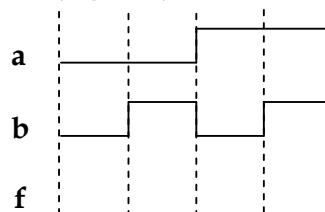
```
library ieee;
use ieee.std_logic_1164.all;

entity circ is
port (a, b: in std_logic;
      f: out std_logic);
end circ;

architecture a of circ is

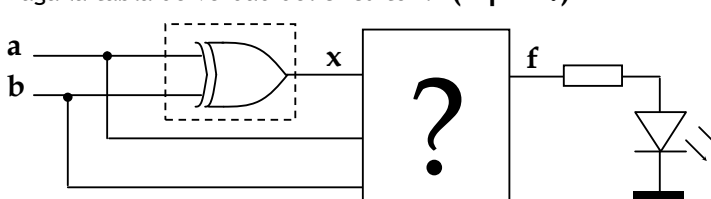
begin
  f <= (a nor b) or (b and a);
end a;
```

Circuito:



2. Diseñe el circuito del rectángulo ('?') tal que éste verifique el funcionamiento de una compuerta XOR. f = '1' (LED encendido) si la compuerta XOR funciona correctamente. Sug.: Primero haga la tabla de verdad del circuito '?' (2 ptos.)

Tabla de Verdad:



Circuito:

3. Establezca la veracidad o falsedad de los siguientes enunciados: (1 pto.)

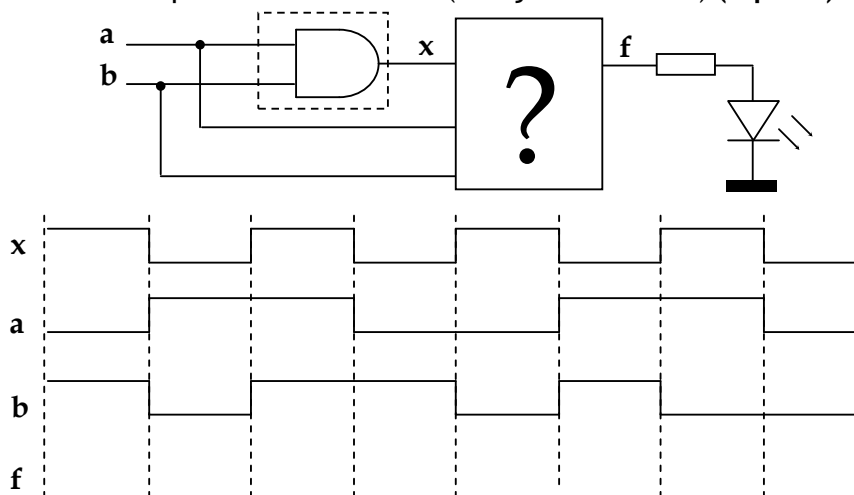
- a) La siguiente línea de código VHDL representa una compuerta NOR: $f <= \text{not}(a) \text{ and } \text{not}(b);$ ()
- b) La parte del código VHDL llamada 'Entidad' describe el funcionamiento o estructura del circuito. ()
- c) Max+PlusII: En una compilación funcional, al simular no existirán los tiempos de propagación de las entradas hacia las salidas ()
- d) El circuito cuya salida es '1' cuando dos bits son diferentes consta sólo de una compuerta XNOR. ()

PRUEBA DE ENTRADA

NOMBRE : _____ FECHA: ____/____/2005

CÓDIGO : _____ LAB. N°: 2 HORARIO: H-446

1. El circuito del rectángulo ('?') verifica el funcionamiento de una compuerta AND (f = '1' si la compuerta AND funciona correctamente). Se le pide completar el diagrama de tiempos de este circuito (dibuje la señal 'f') (2 pts.)



2. Establezca la veracidad o falsedad de los siguientes enunciados: (2 pts.)
- La siguiente línea de código VHDL representa una compuerta XNOR: $f \leq (\text{not}(a) \text{ nor } \text{not}(b)) \text{ or } (a \text{ nor } b);$ ()
 - Se requieren 6 compuertas NOR para implementar una XOR. ()
 - Max+PlusII: End Time = 1.0 us y Grid Size = 3.0 us son valores válidos ()
 - Se requieren 4 compuertas NAND para implementar una OR. ()

3. Complete el código VHDL para el siguiente circuito: (1 pto.)

```
library ieee;
use ieee.std_logic_1164.all;

entity circ is
  port ( a, b: in std_logic;
        f: out std_logic);
end circ;

architecture a of circ is

begin

end a;
```

