

PROBLEMA VHDL

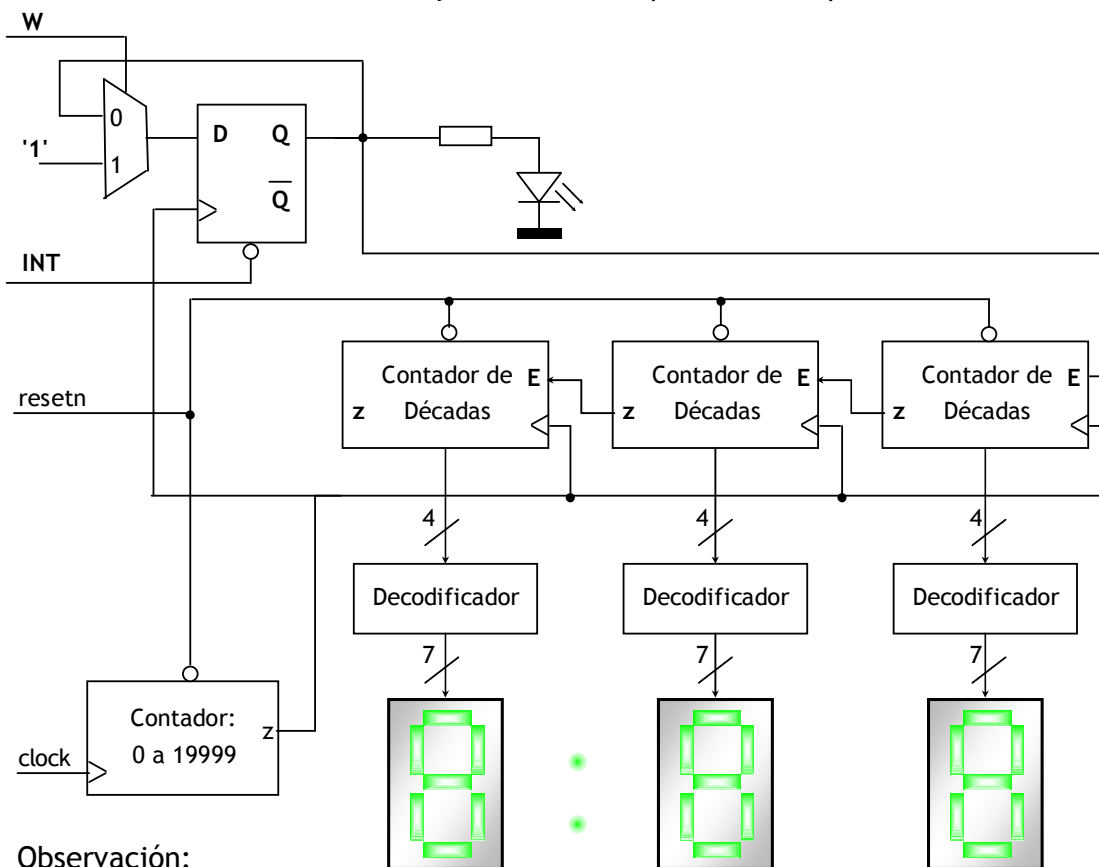
LAB. N°: 5

HORARIO: H-441

FECHA: 10/11/2005

-
- Implemente el circuito mostrado. Utilice la Descripción Estructural: Defina los bloques constituyentes en archivos individuales y luego conéctelos.

El circuito mide el tiempo que el usuario tarda en reaccionar desde que observa que el LED se enciende: Un pulso en 'W' hace que el LED se encienda. Los visualizadores mostrarán el tiempo transcurrido (con precisión de centésimas de segundo) hasta que el usuario presiona la señal 'INT' (donde el LED se apaga y la cuenta se detiene). Para reiniciar otra vez el proceso, con la señal 'resetrn' asíncrona se reinicia la cuenta y se está a la espera de otro pulso en 'W'.



Observación:

- Contador de Décadas: 'z' se activa ($z \leq '1'$) cada vez que la cuenta llega a 9.
- Contador de 0 a 19999: 'z' se activa cada vez que la cuenta llega a 19999.
- Se cuenta con un generador de reloj de 2 MHz, entonces en el contador de 0 a 19999, 'z' se activará cada centésima de segundo, y esta señal es la que se usará como el nuevo reloj para el resto del circuito.

Se le pide:

- Copie el diagrama de bloque del circuito digital en la página de la Hoja de Trabajo titulada 'Problema 3 (VHDL): Bosquejo del problema'.
- Describa el circuito en VHDL. Luego compile su código en forma Física.
- Simule su circuito con las entradas de excitación adecuadas.
- Implemente el circuito en el módulo Programable.

PROBLEMA VHDL

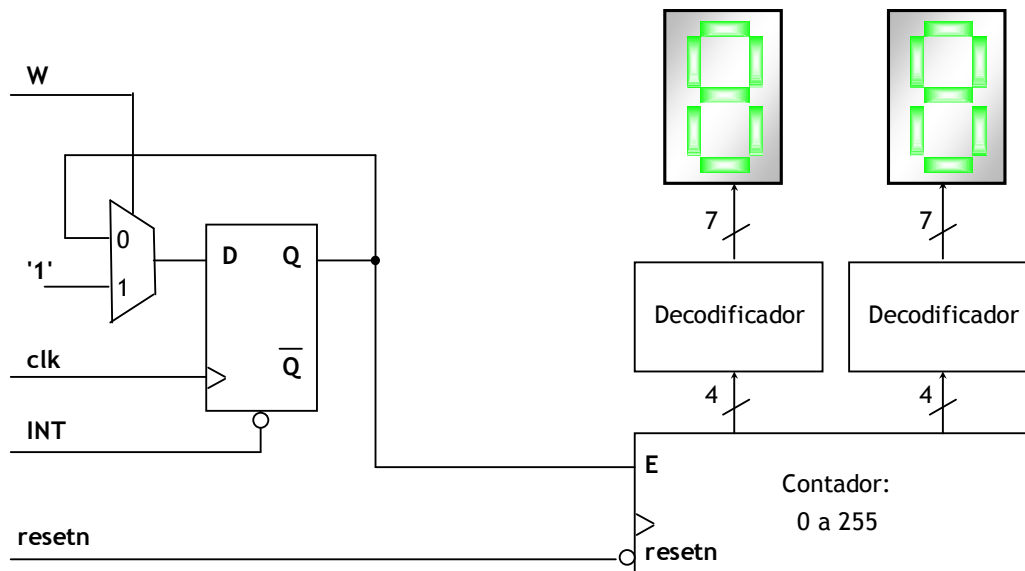
LAB. N°: 5

HORARIO: H-442

FECHA: 07/11/2005

-
- Implemente el circuito mostrado. Utilice la Descripción Estructural: Defina el Flip Flop, el contador y el Decodificador en archivos individuales y luego conéctelos.

El bloque 'contador 0 a 255' es un contador ascendente con entrada de 'resetrn' asíncrona activa en baja y con habilitador; el contador cuenta desde '00' hasta 'FF', estos dos dígitos hexadecimales deben mostrarse en dos visualizadores de 7 segmentos.



Se le pide:

- Copie el diagrama de bloque del circuito digital en la página de la Hoja de Trabajo titulada 'Problema 3 (VHDL): Bosquejo del problema'.
- Describa el circuito en VHDL. Luego compile su código en forma Física.
- Simule su circuito con las entradas de excitación adecuadas.
- Implemente el circuito en el módulo Programable.

PROBLEMA VHDL

LAB. N°: 5

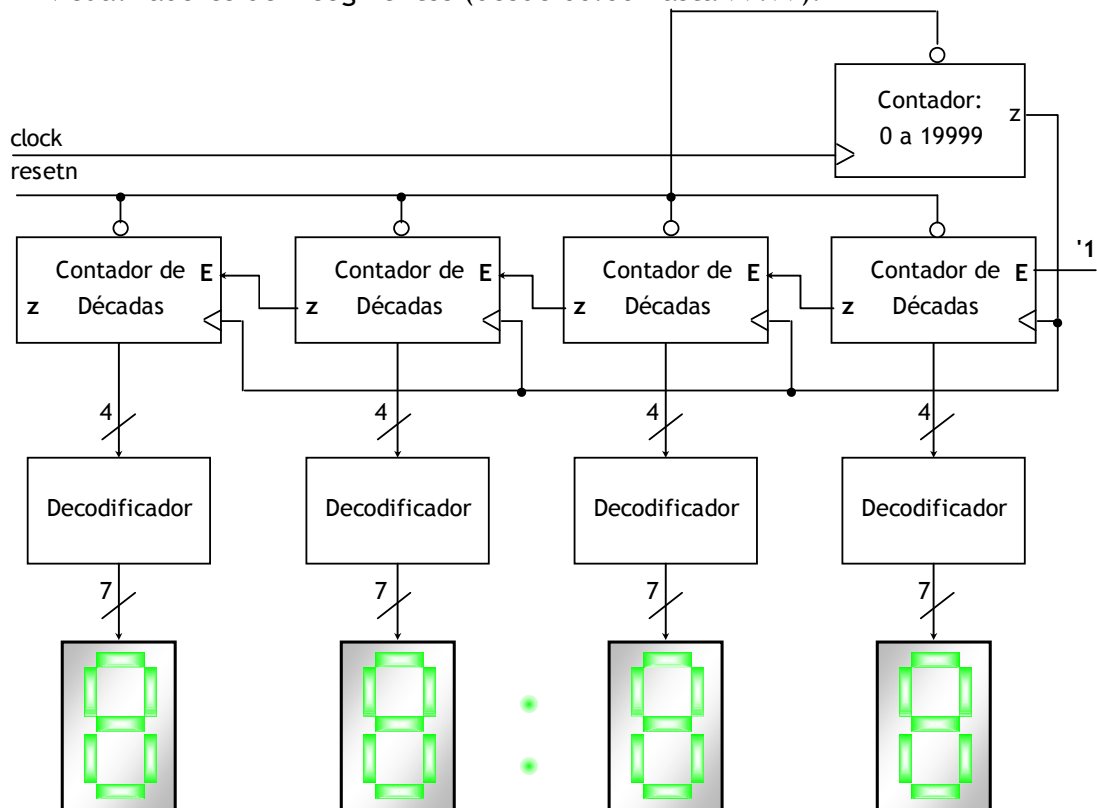
HORARIO: H-443

FECHA: 09/11/2005

🚦 Cronómetro Digital con precisión de centésima de segundo:

Implemente el circuito mostrado. Utilice la Descripción Estructural: Defina el contador de décadas y el contador de 0 a 19999 en archivos individuales y luego conéctelos mediante el uso de 'package' y el comando 'port map'.

El bloque 'contador 0 a 19999' activa la señal 'z' ($z \leq '1'$) cada vez que la cuenta llega a 19999. Los contadores de décadas activan la señal 'z' ($z \leq '1'$) cada vez que la cuenta llega a 9. El resultado debe poder apreciarse en 4 visualizadores de 7 segmentos (desde 00:00 hasta 99:99).



Observación:

- Debido a que se cuenta con una generador de reloj de 2 MHz, al hacerse $z = '1'$ cada vez que la cuenta llegue a 19999, se está haciendo que 'z' se active cada centésima de segundo.

Se le pide:

- Copie el diagrama de bloque del circuito digital en la página de la Hoja de Trabajo titulada 'Problema 3 (VHDL): Bosquejo del problema'.
- Describa el circuito en VHDL. Luego compile su código en forma Física.
- Simule su circuito con las entradas de excitación adecuadas.
- Implemente el circuito en el módulo Programable.

PROBLEMA VHDL

LAB. N°: 5

HORARIO: H-444

FECHA: 17/11/2005

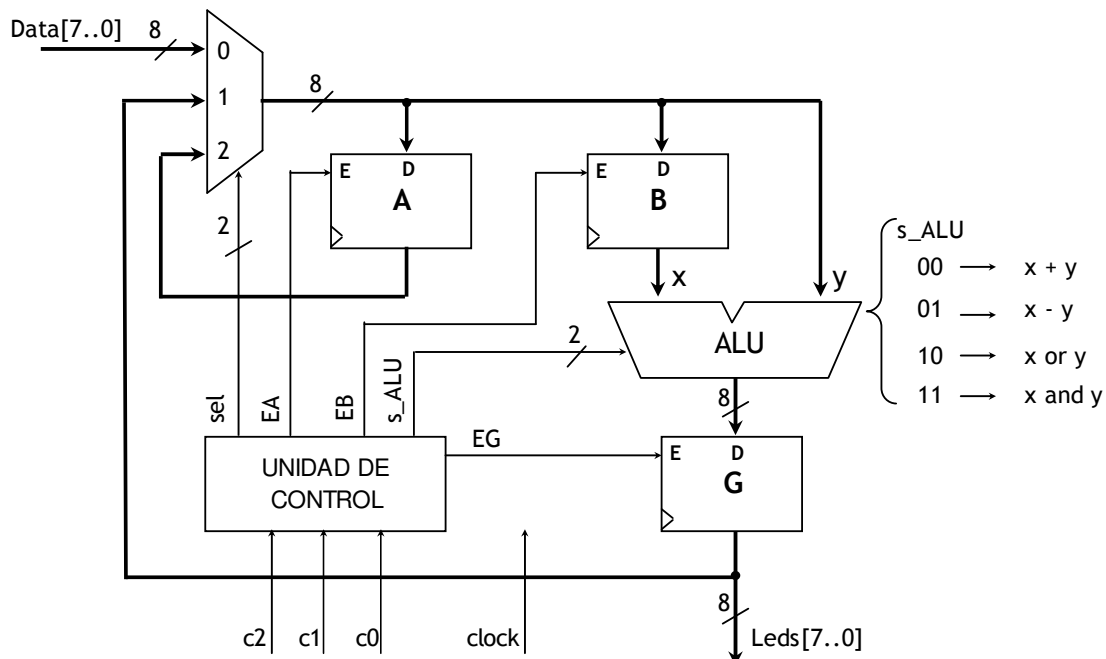
Se tiene la siguiente arquitectura de un pequeño procesador de 8 bits:

Implemente el circuito mostrado. Utilice la Descripción Estructural: Defina el registro, el multiplexor, la ALU y la Unidad de Control en archivos individuales y luego conéctelos mediante el uso de 'package' y el comando 'port map'.

La ALU (Unidad Aritmética Lógica) realiza 2 operaciones aritméticas (suma y resta) y 2 operaciones lógicas (AND y OR) según su entrada 's_ALU', lo que se especifica en la figura.

La Unidad de Control administra la carga de los registros, la operación en la ALU, así como el dato a pasar en el Multiplexor. Esta Unidad de Control se maneja en base a 3 entradas ('c2', 'c1' y 'c0') de la forma siguiente:

c2	c1	c0	Operación	c2	c1	c0	Operación
0	0	0	Cargar A con Data	1	0	0	$G \leftarrow B + A$
0	0	1	Cargar B con Data	1	0	1	$G \leftarrow B - A$
0	1	0	Cargar A con G	1	1	0	$G \leftarrow B \text{ or } A$
0	1	1	Cargar B con G	1	1	1	$G \leftarrow B \text{ and } A$



Se le pide:

- Copie el diagrama de bloque del circuito digital en la página de la Hoja de Trabajo titulada 'Problema 3 (VHDL): Bosquejo del problema'.
- Describa el circuito en VHDL. Luego compile su código en forma Física.
- Simule su circuito con las entradas de excitación adecuadas.
- Implemente el circuito en el módulo Programable.

PROBLEMA VHDL

LAB. N°: 5

HORARIO: H-445

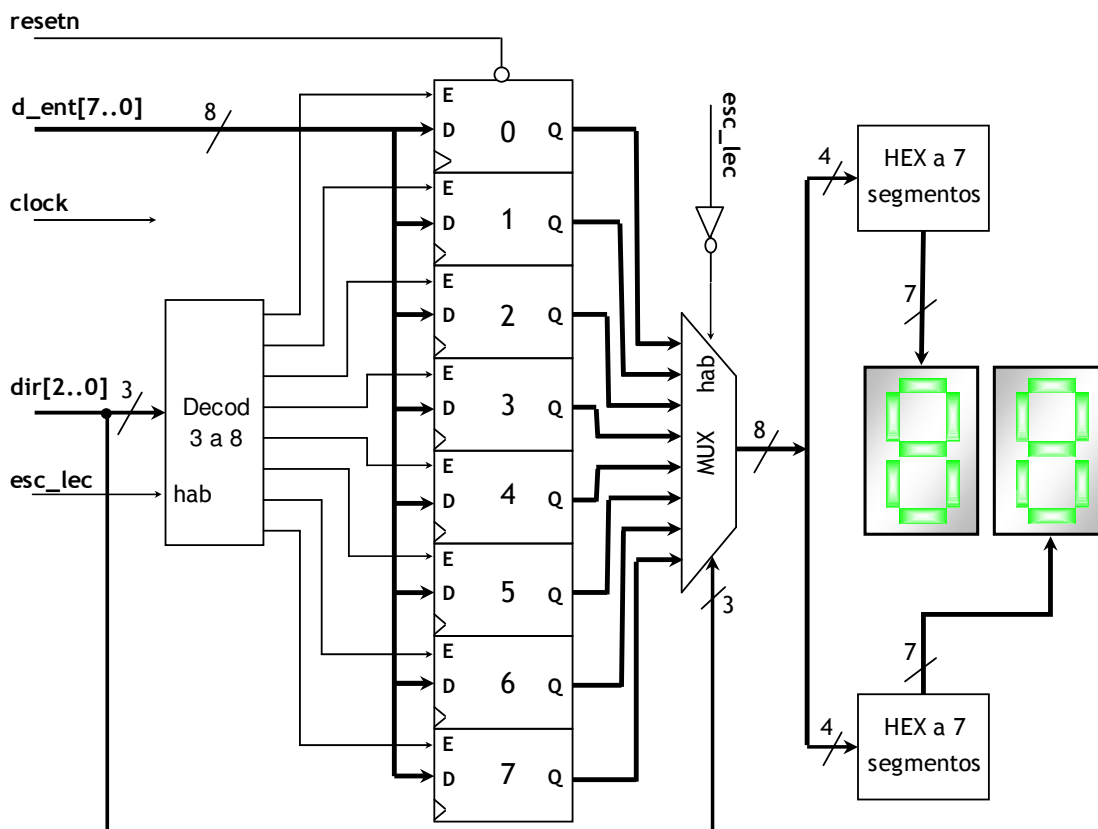
FECHA: 16/11/2005

✚ Diseño de una memoria de 8 datos de 8 bits cada uno:

Implemente el circuito mostrado. Utilice la Descripción Estructural: Describa el Registro, el decodificador de 3 a 8, el multiplexor con habilitador, y el decodificador hexadecimal a 7 segmentos en archivos individuales y luego conéctelos mediante el uso de 'package' y el comando 'port map'.

La memoria permite la escritura del dato de entrada ($d_ent[7..0]$) en uno de los 8 registros, así como la lectura de uno de los 8 registros. La señal 'dir [2..0]' controla en qué registro se escribe o de qué registro se lee. El dato leído (en hexadecimal) se apreciará en 2 visualizadores de 7 segmentos.

- La señal 'esc_lec' controla la escritura/lectura:
esc_lec = '1' → escritura esc_lec = '0' → lectura
- La señal asíncrona 'resetrn' limpia todos los registros a la vez.



Se le pide:

- Copie el diagrama de bloque del circuito digital en la página de la Hoja de Trabajo titulada 'Problema 3 (VHDL): Bosquejo del problema'.
- Describa el circuito en VHDL. Luego compile su código en forma Física.
- Simule su circuito con las entradas de excitación adecuadas.
- Implemente el circuito en el módulo Programable.

PROBLEMA VHDL

LAB. N°: 5

HORARIO: H-446

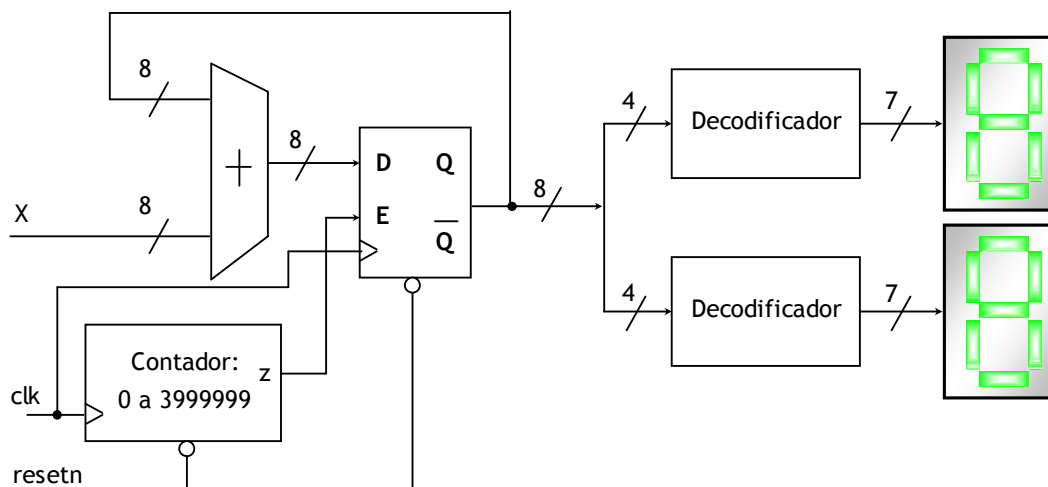
FECHA: 08/11/2005

✚ Diseño de un Acumulador:

Implemente el circuito mostrado. Utilice la Descripción Estructural: Defina el Registro, el contador, el sumador y el Decodificador en archivos individuales y luego conéctelos mediante el uso de 'package' y el comando 'port map'.

El bloque 'contador 0 a 3999999' es un contador ascendente con entrada de 'resetrn' asíncrona activa en baja, el cual activa la señal 'z' ($z \leq '1'$) cada vez que la cuenta llegue a 3999999.

La suma acumulada en hexadecimal debe poder apreciarse en 2 visualizadores de 7 segmentos.



Observaciones:

- La suma acumulada es positiva, así como la entrada 'X' de 8 bits.
- Debido a que se cuenta con un generador de reloj de 2 MHz, al hacerse $z = '1'$ cada vez que la cuenta llegue a 3999999, se está haciendo 'z' se active cada 2 segundos.

Se le pide:

- Copie el diagrama de bloque del circuito digital en la página de la Hoja de Trabajo titulada 'Problema 3 (VHDL): Bosquejo del problema'.
- Describa el circuito en VHDL. Luego compile su código en forma Física.
- Simule su circuito con las entradas de excitación adecuadas.
- Implemente el circuito en el módulo Programable.