

# PRUEBA DE ENTRADA

NOMBRE : \_\_\_\_\_ FECHA: \_\_\_\_/\_\_\_\_/2005

CÓDIGO : \_\_\_\_\_ LAB. N°: 6 HORARIO: H-441

1. Haga el diagrama de estados y el diagrama de tiempos del circuito cuyo descripción VHDL se muestra: (3.5 pts.)

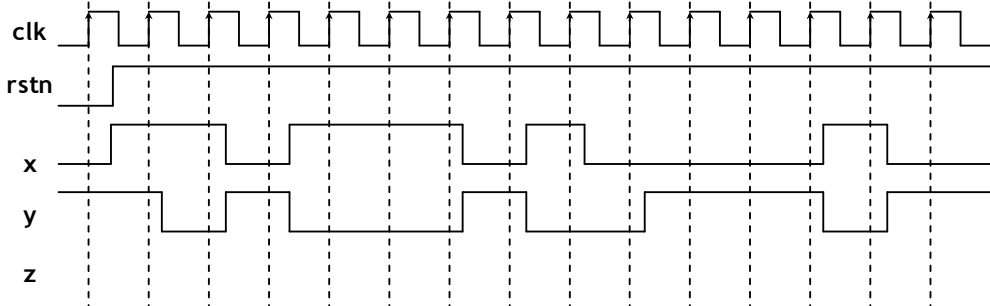
Diagrama de Estados:

```
library ieee;
use ieee.std_logic_1164.all;
entity circ is
port(clk,resetn,x,y: in std_logic;
      z: out std_logic);
end circ;

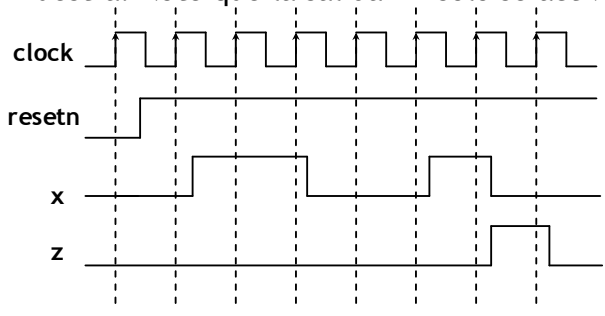
architecture behaviour of circ is
type estado is (S1, S2);
signal est: estado;
signal xy: std_logic_vector
(1 downto 0);
begin
```

```
xy <= x&y;
trans: process (resetn, clock)
begin
if resetn = '0' then est <= S1;
elsif(clk'event and clk='1') then
case est is
when S1 =>
if xy = "01" then est <= S2;
else est <= S1; end if;
when S2 =>
if xy = "01" then est <= S2;
else est <= S1; end if;
end case;
end if;
end process;
```

```
Salidas: process (est, xy)
begin
z <= '0';
case est is
when S1 =>
when S2 =>
if xy = "10" then z <= '1';
end if;
end case;
end process;
end behaviour;
```



2. Elabore el diagrama de estados del circuito cuyo diagrama de tiempos se muestra. Note que la salida 'z' sólo se activa en el caso mostrado (1.5 puntos).

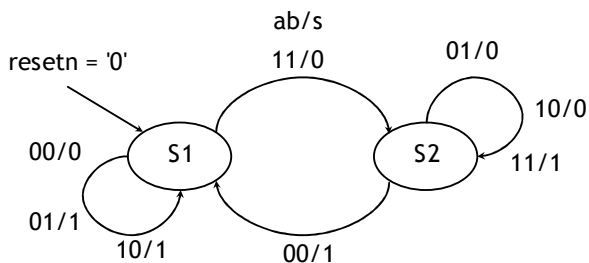


# PRUEBA DE ENTRADA

NOMBRE : \_\_\_\_\_ FECHA: \_\_\_\_/\_\_\_\_/2005

CÓDIGO : \_\_\_\_\_ LAB. N°: 6 HORARIO: H-442

1. Realice la descripción VHDL de la máquina de estados mostrada (2 pts.)



```

library ieee;
use ieee.std_logic_1164.all;

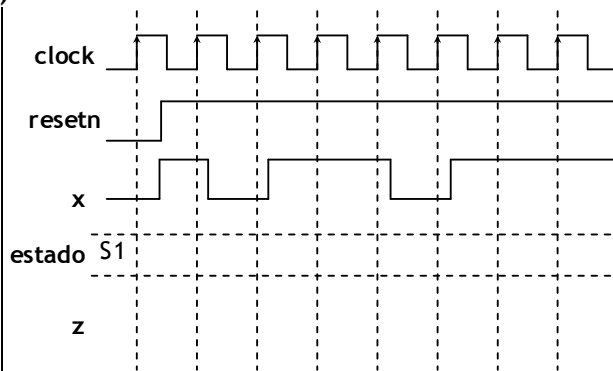
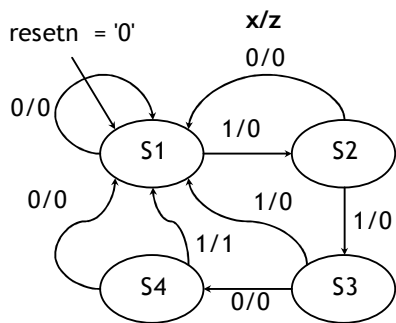
entity circ is
port ( a,b,clk,resetn: in std_logic;
      s : out std_logic);
end circ;

architecture bhv of circ is

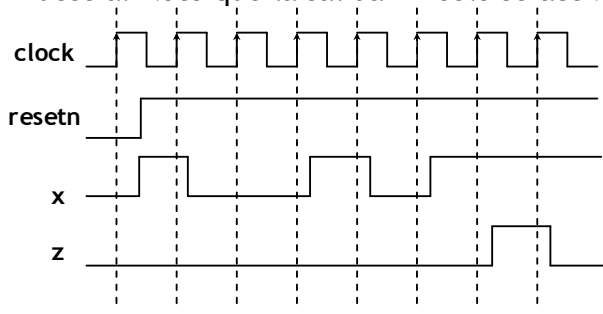
begin
end bhv;

```

2. Complete el diagrama de tiempos del circuito cuyo diagrama de estados se muestra a continuación (1.5 pts.)



3. Elabore el diagrama de estados del circuito cuyo diagrama de tiempos se muestra. Note que la salida 'z' sólo se activa en el caso mostrado (1.5 puntos).

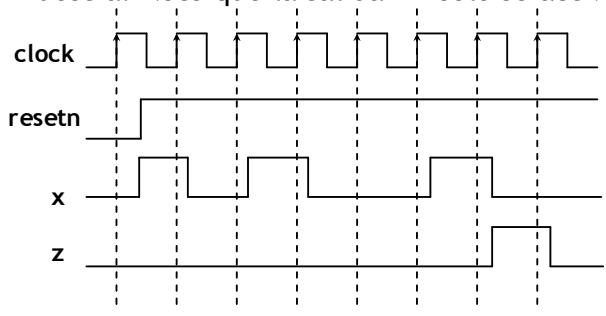


# PRUEBA DE ENTRADA

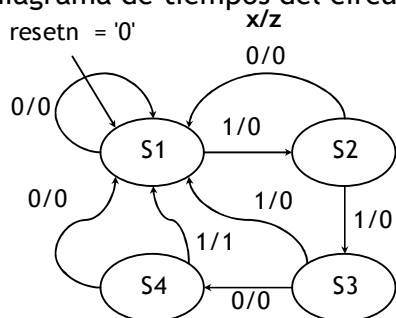
NOMBRE : \_\_\_\_\_ FECHA: \_\_\_\_/\_\_\_\_/2005

CÓDIGO : \_\_\_\_\_ LAB. N°: 6 HORARIO: H-443

1. Elabore el diagrama de estados del circuito cuyo diagrama de tiempos se muestra. Note que la salida 'z' sólo se activa en el caso mostrado (1.5 puntos).



2. Realice la descripción VHDL de la máquina de estados mostrada y complete el diagrama de tiempos del circuito: (3.5 pts.)

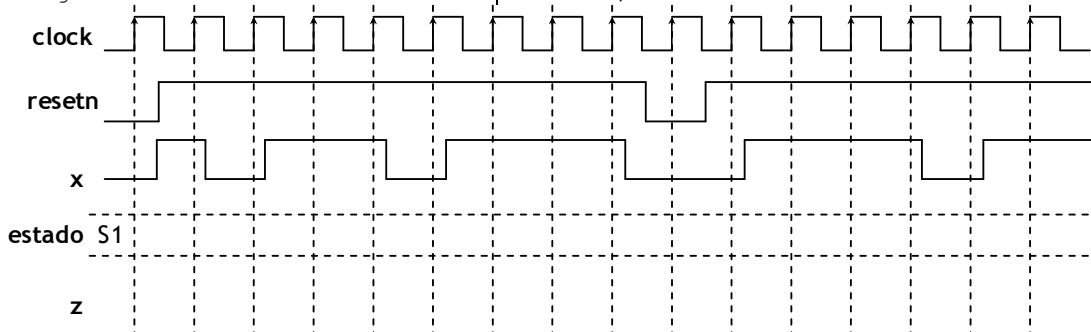


```
library ieee;
use ieee.std_logic_1164.all;
```

```
entity circ is
port (
  resetn,clk,x: in std_logic;
  z: out std_logic);
end circ;
```

```
architecture bhv of circ is
```

```
begin
```

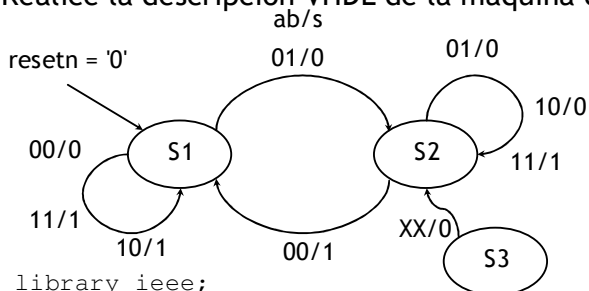


# PRUEBA DE ENTRADA

NOMBRE : \_\_\_\_\_ FECHA: \_\_\_\_/\_\_\_\_/2005

CÓDIGO : \_\_\_\_\_ LAB. N°: 6 HORARIO: H-444

1. Realice la descripción VHDL de la máquina de estados mostrada (2 pts.)



```

library ieee;
use ieee.std_logic_1164.all;

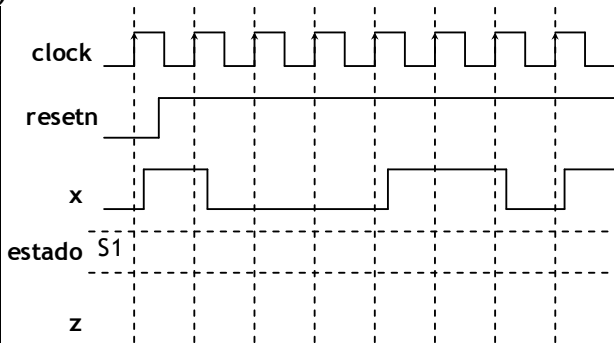
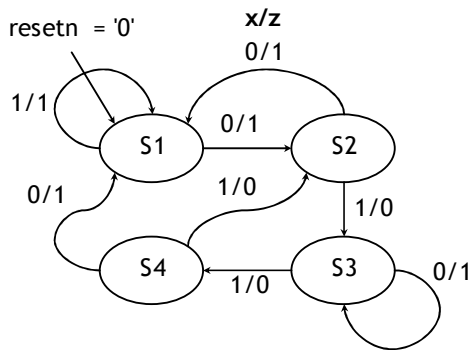
entity circ is
port ( a,b,clk,resetn: in std_logic;
      s : out std_logic);
end circ;

architecture bhv of circ is

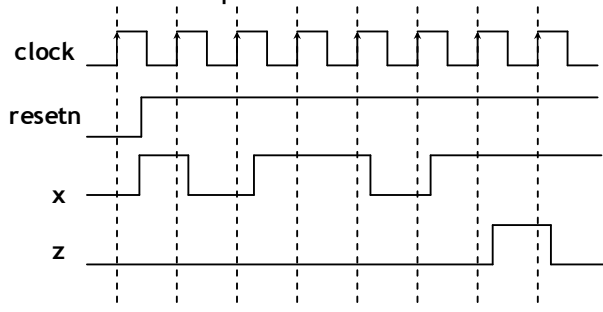
begin
end bhv;

```

2. Complete el diagrama de tiempos del circuito cuyo diagrama de estados se muestra a continuación (1.5 pts.)



3. Elabore el diagrama de estados del circuito cuyo diagrama de tiempos se muestra. Note que la salida 'z' sólo se activa en el caso mostrado (1.5 puntos).

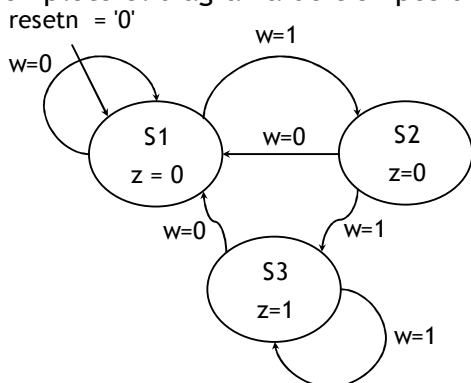


# PRUEBA DE ENTRADA

NOMBRE : \_\_\_\_\_ FECHA: \_\_\_\_/\_\_\_\_/2005

CÓDIGO : \_\_\_\_\_ LAB. N°: 6 HORARIO: H-445

1. Realice la descripción VHDL de la máquina de estados de Moore mostrada y complete el diagrama de tiempos del circuito: (3.5 pts.)



```

library ieee;
use ieee.std_logic_1164.all;

entity circ is
    port (
        resetn,clk,w: in std_logic;
        z: out std_logic);
end circ;

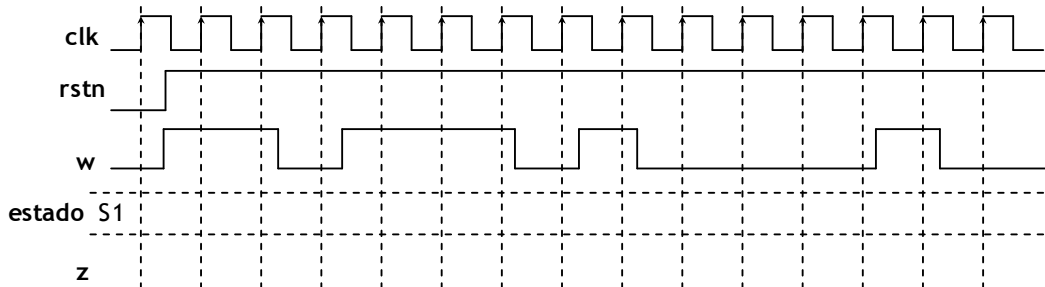
architecture bhv of circ is

```

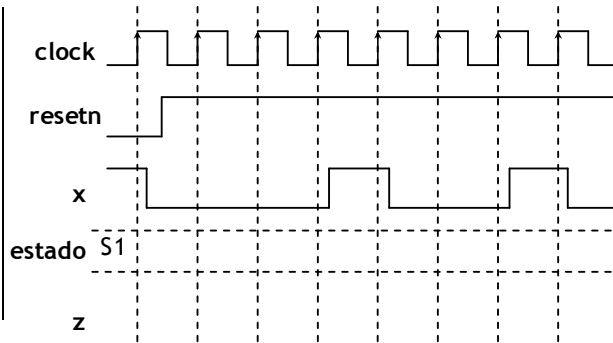
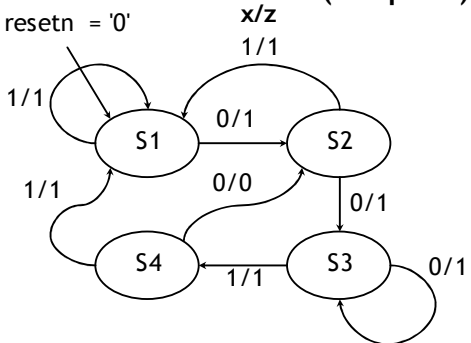
```

begin
end bhv;

```



2. Complete el diagrama de tiempos del circuito cuyo diagrama de estados se muestra a continuación (1.5 pts.)



# PRUEBA DE ENTRADA

NOMBRE : \_\_\_\_\_ FECHA: \_\_\_\_/\_\_\_\_/2005

CÓDIGO : \_\_\_\_\_ LAB. N°: 6 HORARIO: H-446

1. Haga el diagrama de estados y el código VHDL de un circuito con entradas 'x' e 'y', y salida 'z', que se activará al detectarse dos secuencias simultáneamente: x = "01" e y = "10". Se muestra su diagrama de tiempos: (3.5 pts.)

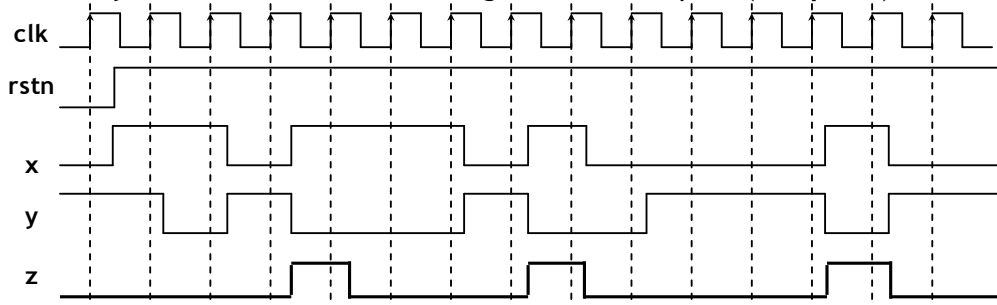


Diagrama de Estados:

```

library ieee;
use ieee.std_logic_1164.all;
entity circ is
  port(clk,rstn,x,y: in std_logic;
        z: out std_logic);
end circ;

architecture bhv of circ is

begin

```

2. Complete el diagrama de tiempos del circuito cuyo diagrama de estados se muestra a continuación (1.5 pts.)

