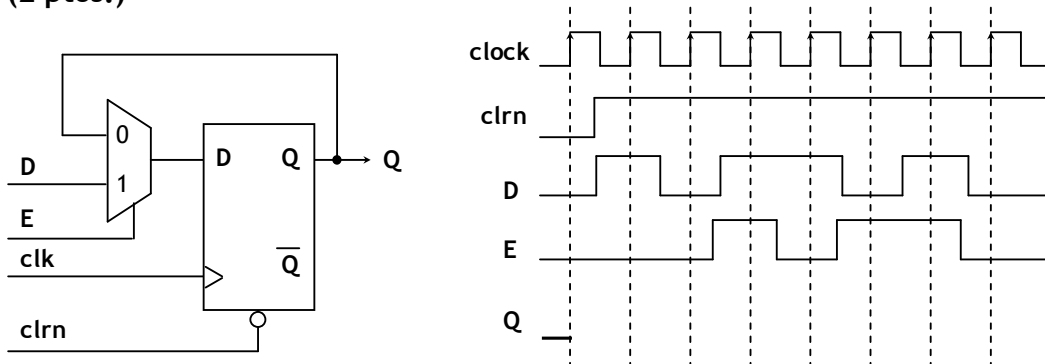


# PRUEBA DE ENTRADA

NOMBRE : \_\_\_\_\_ FECHA: \_\_\_\_/\_\_\_\_/2005

CÓDIGO : \_\_\_\_\_ LAB. N°: 5 HORARIO: H-441

1. Complete el diagrama de tiempos del circuito mostrado (dibuje la salida 'Q'):  
(2 ptos.)



2. Realice la descripción VHDL de un contador ascendente de 4 bits, con entrada asíncrona 'resetn' activa en baja. (2 ptos.)

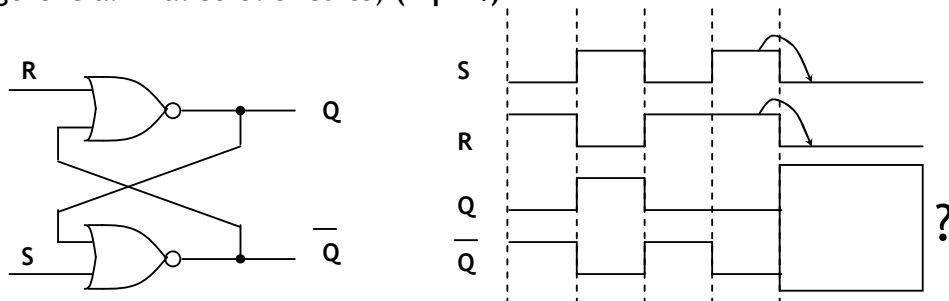
```

library ieee;
use ieee.std_logic_1164.all;

entity          is
  port (
    );
end          ;

architecture    of    is
begin
end          ;
    
```

3. Se muestra un Latch SR en base a compuertas NOR y un diagrama de tiempos. Comente qué sucede con la salida Q cuando de S=R='1' se pasa a S=R='0'. (Sugerencia: Analice el circuito) (1 pto.)



# PRUEBA DE ENTRADA

NOMBRE: \_\_\_\_\_ FECHA: \_\_\_\_/\_\_\_\_/2005

CÓDIGO: \_\_\_\_\_ LAB. N°: 5 HORARIO: H-442

1. Realice la descripción VHDL del circuito mostrado (2 pts.)

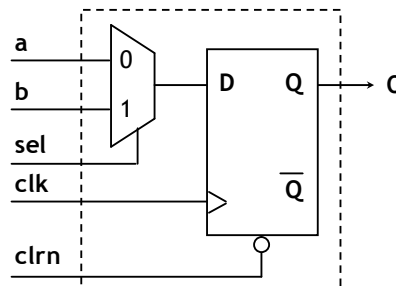
```

library ieee;
use ieee.std_logic_1164.all;

entity circ is
  port (
    a,b, clk, clrn, sel: in std_logic;
    q: out std_logic);
end circ;

architecture a of circ is

```



2. Complete el diagrama de tiempos del circuito cuya descripción VHDL se muestra a continuación ('fa.vhd' es un sumador completo de 1 bit). (2 pts.)

```

library ieee;
use ieee.std_logic_1164.all;
package daniel_pack is
  component fa is
    port(cin,x,y: in std_logic;
         s,cout: out std_logic);
  end component;
end daniel_pack;

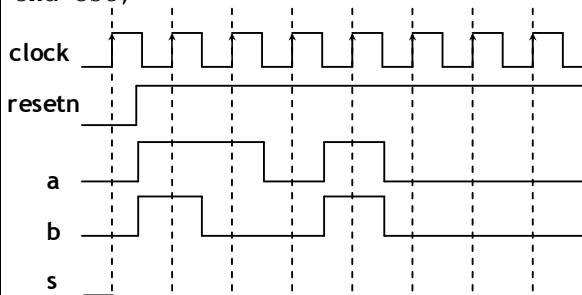
library ieee;
use ieee.std_logic_1164.all;
use work.daniel_pack.all;
entity circ is
  port( a,b,clock: in std_logic;
        resetn : in std_logic;
        s: out std_logic);
end circ;

```

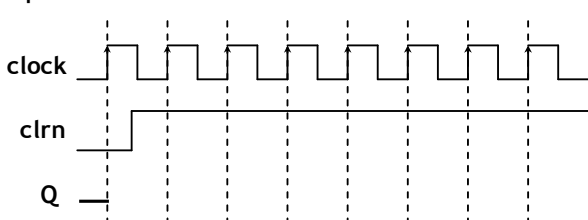
```

process (resetn, clock)
begin
  if resetn = '0' then qd <= '0';
  elsif clock'event and clock='1' then
    qd <= cout;
  end if;
end process;
t0: fa port map (cin=>qd, x=>a, y=>b,
                 s=>s, cout => cout);
end est;

```



3. Complete el diagrama de tiempos (dibuje la señal 'Q'). El circuito es un flip flop Tipo T con entrada asínrona 'clrn' activa en baja, donde T siempre vale '1'.



Si 'clock' tiene una frecuencia de 25 MHz, ¿de qué frecuencia será la señal de salida 'Q'? (1 punto)

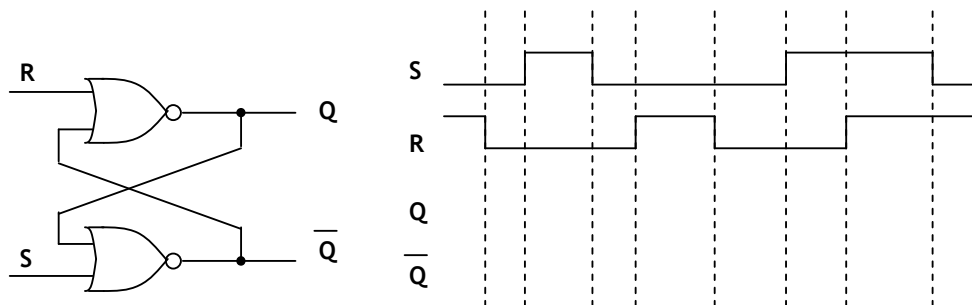
\_\_\_\_\_

## PRUEBA DE ENTRADA

NOMBRE : \_\_\_\_\_ FECHA: \_\_\_\_/\_\_\_\_/2005

CÓDIGO : \_\_\_\_\_ LAB. N°: 5 HORARIO: H-443

1. Se muestra un Latch SR en base a compuertas NOR. Complete el diagrama de tiempos mostrado (dibuje las salidas 'Q' y '/Q') (2 ptos.)



2. Complete el diagrama de tiempos (dibuje la señal 'Q') en base al circuito cuya descripción VHDL se muestra a continuación: (2 ptos.)

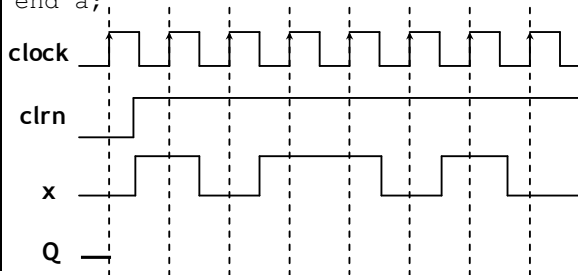
```
library ieee;
use ieee.std_logic_1164.all;

entity tb is
port (
    clrn, x, clk: in std_logic;
    q: buffer std_logic);
end tb;

architecture a of tb is

begin
process (clrn, clk)
begin
    if clrn = '0' then
        q <= '0';
    
```

```
    elsif (clk'event and clk = '1') then
        if (x = '1') then
            q <= not (q);
        end if;
    end if;
end process;
end a;
```



3. Elabore la descripción VHDL de un Flip Flop Tipo D con habilitador, y que tiene una señal asíncrona 'clrn' activa en baja. Además el flip flop se activa por flanco de bajada. (1 pto.)

```
library ieee;
use ieee.std_logic_1164.all;

entity ffd is

port (
    d, h, clk, clrn: in std_logic;
    q: out std_logic
    );

end ffd;

architecture a of ffd is

begin

end a;
```

# PRUEBA DE ENTRADA

NOMBRE : \_\_\_\_\_ FECHA: \_\_\_\_/\_\_\_\_/2005

CÓDIGO : \_\_\_\_\_ LAB. N°: 5 HORARIO: H-444

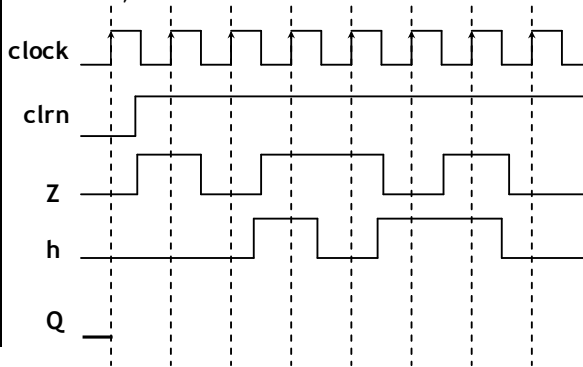
1. Complete el diagrama de tiempos del circuito cuya descripción VHDL se muestra ('m21.vhd' es un MUX 2 a 1,  $f \leq a$  si 's=0',  $f \leq b$  si 's=1'). (2 ptos.)

```
library ieee;
use ieee.std_logic_1164.all;
package dig_pack is
  component m21 is
    port( a,b,s : in std_logic;
          f : out std_logic);
  end component;
end dig_pack;
```

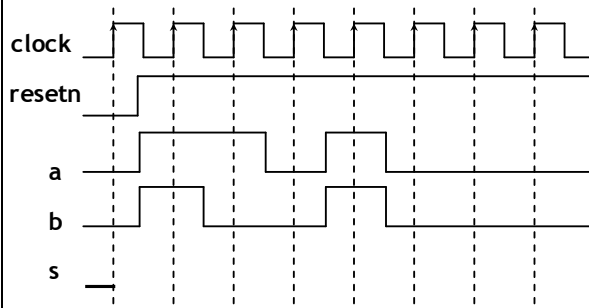
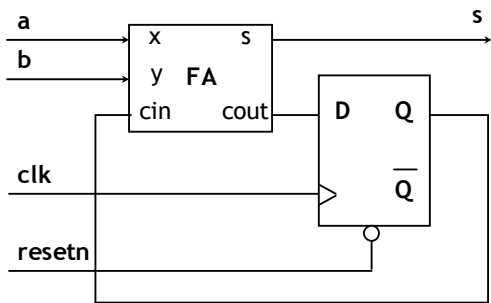
```
library ieee;
use ieee.std_logic_1164.all;
use work.dig_pack.all;
entity ffde is
  port (Z, h: in std_logic;
        clrn,clk:in std_logic;
        Q: buffer std_logic);
end ffde;
```

```
architecture est of ffde is
  signal f: std_logic;
begin
```

```
process (clrn, clk)
begin
  if clrn = '0' then Q <= '0';
  elsif clk'event and clk = '1' then
    Q <= not (f);
  end if;
end process;
x: m21 port map (a=>Z,b=>Q,s=>h,f=>f);
end est;
```



2. Complete el diagrama de tiempos para el siguiente circuito: (2 ptos.)



3. Complete el código VHDL para un flip flop tipo T que se activa por flanco de bajada y con entrada 'clrn' asincrónica. (1 pto.)

```
library ieee;
use ieee.std_logic_1164.all;

entity fft is
  port (t, clk, clrn: in std_logic;
        q, qn : out std_logic);
end fft;

architecture bhv of fft is

begin
```

```
end bhv;
```

# PRUEBA DE ENTRADA

NOMBRE : \_\_\_\_\_ FECHA: \_\_\_\_/\_\_\_\_/2005

CÓDIGO : \_\_\_\_\_ LAB. N°: 5 HORARIO: H-445

1. La siguiente tabla de verdad describe un flip flop definido en forma arbitraria. Realice el código VHDL de este circuito. (2 ptos.)

```
library ieee;
use ieee.std_logic_1164.all;

entity ffz is
port ( X, Y, Z: in std_logic;
      clrn, clk: in std_logic;
      Q,Qn: buffer std_logic);
end ffz;

architecture bhv of ffz is
begin
```

X	Y	Q <sub>t+1</sub>
0	0	1
0	1	Z
1	0	$\overline{Q}_t$
1	1	Q <sub>t</sub>

end bhv;

2. Realice la descripción VHDL de un contador ascendente de décadas, con habilitador síncrono y con entrada asíncrona 'resetrn' activa en baja. (2 ptos.)

```
library ieee;
use ieee.std_logic_1164.all;

entity      is
port (

);

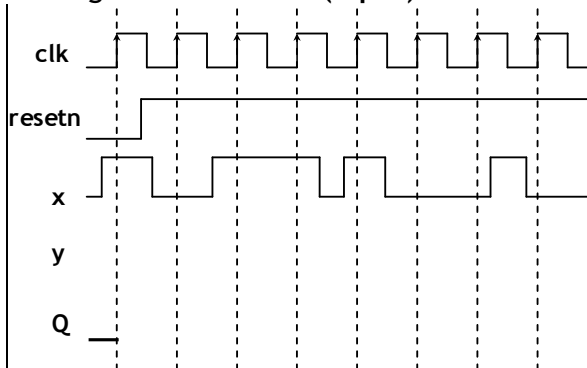
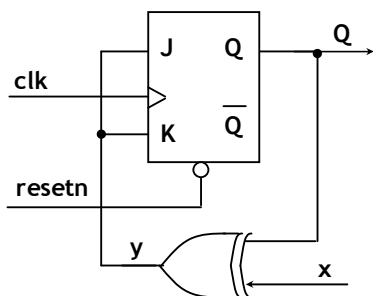
end      ;

architecture of is
```

begin

end ;

3. Complete el diagrama de tiempos para el siguiente circuito: (1 pto).



# PRUEBA DE ENTRADA

NOMBRE: \_\_\_\_\_ FECHA: \_\_\_\_/\_\_\_\_/2005

CÓDIGO: \_\_\_\_\_ LAB. N°: 5 HORARIO: H-446

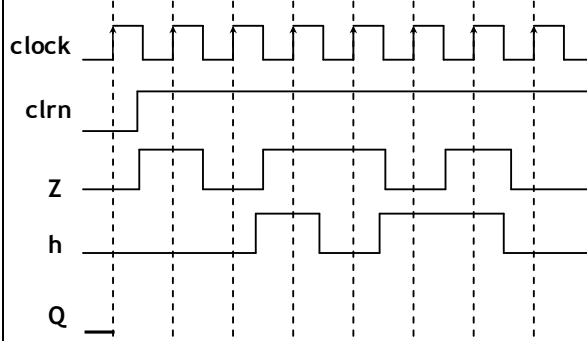
1. Complete el diagrama de tiempos del circuito cuya descripción VHDL se muestra ('m21.vhd' es un MUX 2 a 1,  $f \leq a$  si 's=0',  $f \leq b$  si 's=1'). (2 ptos.)

```
library ieee;
use ieee.std_logic_1164.all;
package dig_pack is
  component m21 is
    port( a,b,s : in std_logic;
          f : out std_logic);
  end component;
end dig_pack;
```

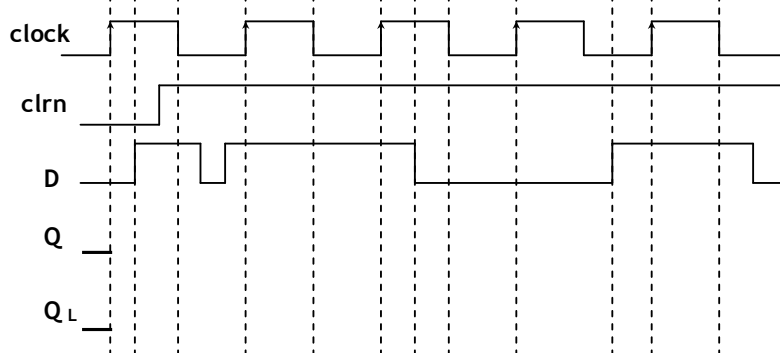
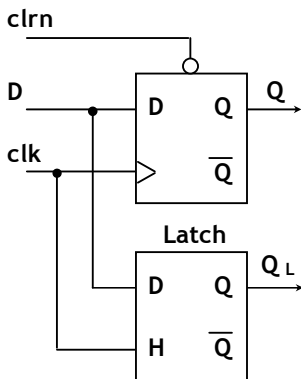
```
library ieee;
use ieee.std_logic_1164.all;
use work.dig_pack.all;
entity ffde is
  port (Z, h: in std_logic;
        clr,clk:in std_logic;
        Q: buffer std_logic);
end ffde;
```

```
architecture est of ffde is
  signal f: std_logic;
begin
```

```
process (clr, clk)
begin
  if clr = '0' then Q <= '0';
  elsif clk'event and clk = '1' then
    Q <= f;
  end if;
end process;
x: m21 port map (a=>Q,b=>Z,s=>h,f=>f);
end est;
```



2. Se muestra un flip flop tipo D y un Latch tipo D y sus respectivas conexiones. Complete el diagrama de tiempos (dibuje las salidas 'Q' y 'Q<sub>L</sub>'). (2 ptos.)



3. Complete el código VHDL de un Latch Tipo D con habilitador. (1 pto.)

```
library ieee;
use ieee.std_logic_1164.all;

entity l_d is
  port (D,h: in std_logic;
        q, qn: out std_logic);
end l_d;

architecture bhv of l_d is

begin
```

```
end bhv;
```