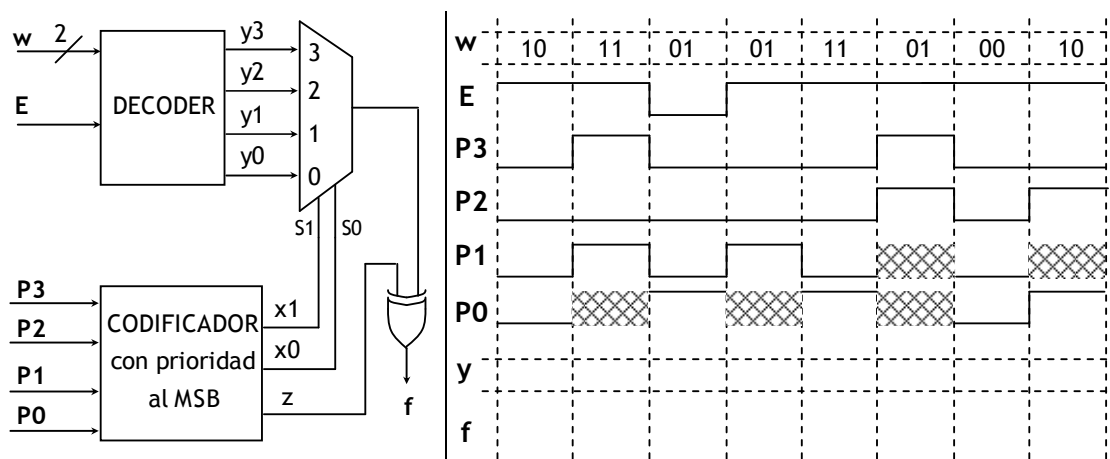


PRUEBA DE ENTRADA

NOMBRE : _____ FECHA: ____/____/2005

CÓDIGO : _____ LAB. N°: 3 HORARIO: H-441

1. Complete el diagrama de tiempos del siguiente circuito (determine los valores de las señales 'y' y 'f'). El valor 'XXXX' significa 'desconocido'. (2 pts.)



2. Haga el código VHDL de un Decodificador de 2 a 4 con habilitador, cuyas salidas se activan en baja. Debe usar obligatoriamente código secuencial. (2 pts.)

```

library ieee;
use ieee.std_logic_1164.all;

entity dec24 is
port ( hab: in std_logic;
      w: in std_logic_vector(1 downto 0);
      y: out std_logic_vector(3 downto 0)
      );
end dec24;

architecture bhv of dec24 is

begin

process (
)
begin

end process;
end bhv;

```

3. Establezca la veracidad o falsedad de los siguientes enunciados: (1 pts.)

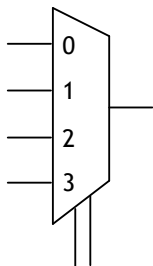
- a) VHDL: Con la descripción concurrente pueden describirse sólo circuitos combinacionales. ()
- b) El C.I. 74138 tiene 1 habilitador activo en baja y 2 activos en alta. ()
- c) VHDL: Un pin de modo 'out' puede realimentarse al circuito. ()
- d) VHDL: Un codificador con prioridad no puede describirse con la sentencia 'with-select'. ()

PRUEBA DE ENTRADA

NOMBRE : _____ FECHA: ____/____/2005

CÓDIGO : _____ LAB. N°: 3 HORARIO: H-442

1. Se muestra la figura de un MUX de 4 a 1. En base sólo a MUXs de 4 a 1 diseñe un multiplexor de 8 a 1 (2 ptos.)



2. Complete el diagrama de tiempos del circuito cuya descripción en VHDL se muestra (determine los valores de la señal 'y'): (2 ptos.)

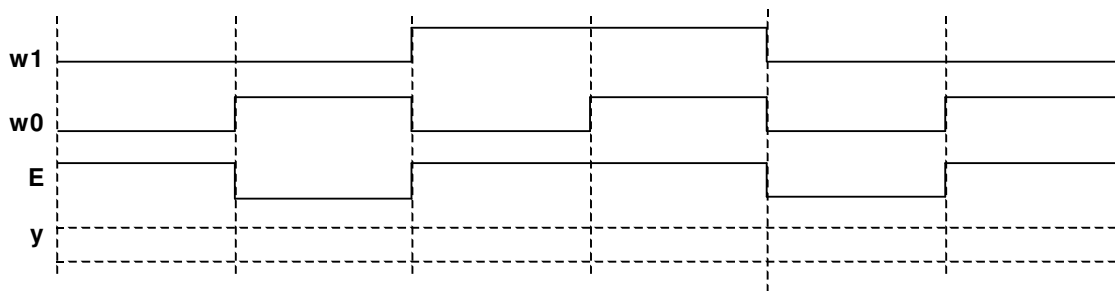
```

library ieee;
use ieee.std_logic_1164.all;

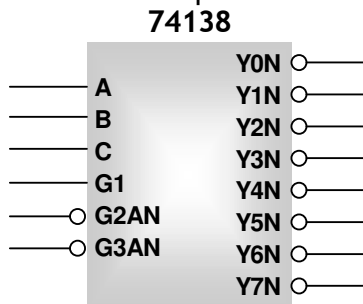
entity circ is
  port ( E: in std_logic;
        w: in std_logic_vector(1 downto 0);
        y: out std_logic_vector(3 downto 0));
end circ;

architecture a of circ is
  signal s: std_logic_vector(2 downto 0);
begin
  s <= w&E;
  with s select
    y <= "1110" when "001",
        "1101" when "011",
        "1011" when "101",
        "0111" when "111",
        "1111" when others;
end a;

```



3. Realice las conexiones necesarias en el siguiente decodificador 74138 para convertirlo en un DEMUX de 1 a 8. Indique las entradas y salidas (1 pto.)

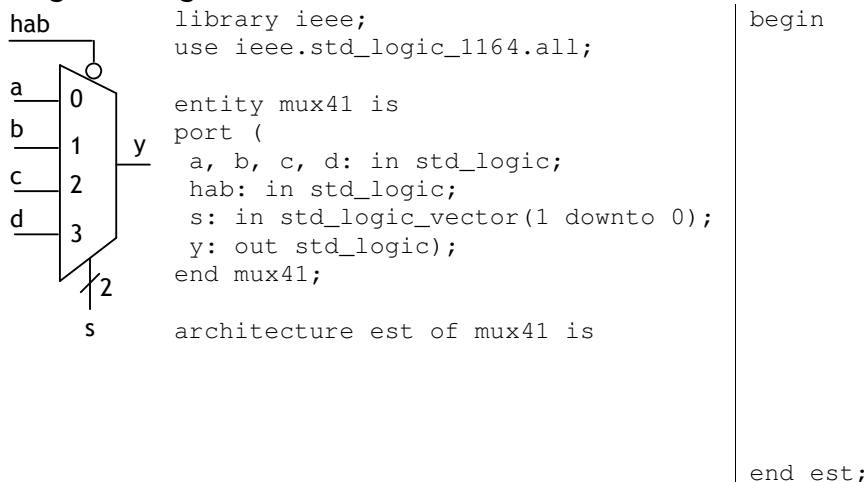


PRUEBA DE ENTRADA

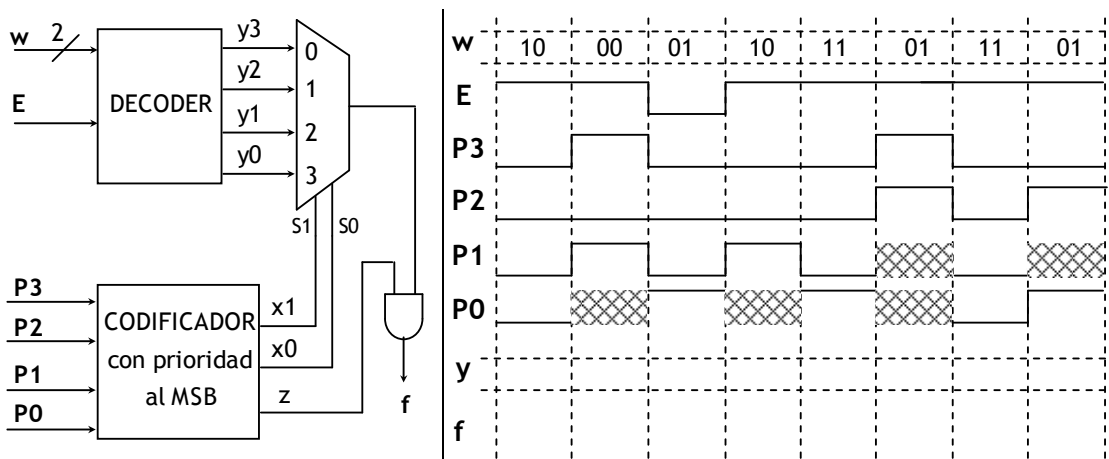
NOMBRE : _____ FECHA: ____/____/2005

CÓDIGO : _____ LAB. N°: 3 HORARIO: H-443

1. Haga el código VHDL de un MUX 4 a 1 con habilitador activo en baja. (2 ptos.)



2. Complete el diagrama de tiempos del siguiente circuito (determine los valores de las señales 'y' y 'f'). El valor 'XXXX' significa 'desconocido'. (2 ptos.)



3. Establezca la veracidad o falsedad de los siguientes enunciados: (1 pto.)

- a) VHDL: La sentencia 'when-else' va dentro del bloque 'PROCESS'. ()
- b) VHDL: El modo 'buffer' define un pin bidireccional. ()
- c) Un decodificador BCD a 7 segmentos puede describirse en VHDL con la sentencia 'with-select' ()
- d) Para que el C.I. 74151 funcione, se debe poner en alta ('1' lógico) a su señal de habilitación. ()

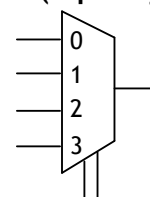
PRUEBA DE ENTRADA

NOMBRE : _____ FECHA: ____/____/2005

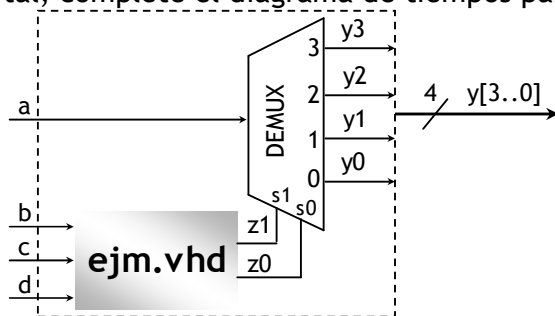
CÓDIGO : _____ LAB. N°: 3 HORARIO: H-444

1. Utilizando sólo un MUX de 4 a 1 implemente la función: $f(a,b,c) = \sum(3,5,7)$.
Muestre su desarrollo, así como todas las conexiones necesarias (2 pts.)

Desarrollo:



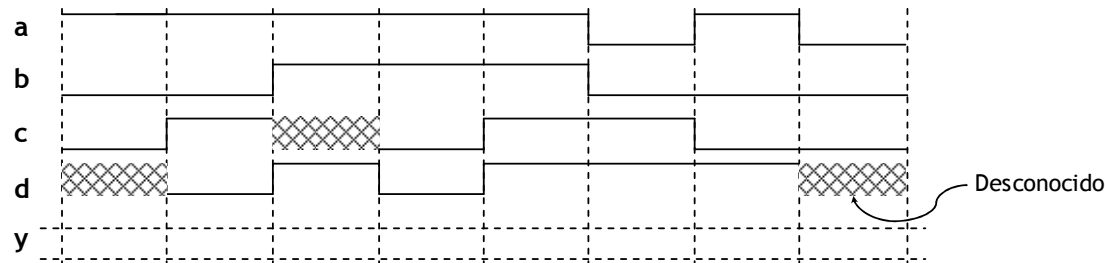
2. El código VHDL mostrado corresponde al bloque sombreado. Para el circuito total, complete el diagrama de tiempos para la señal 'y': (2 pts.)



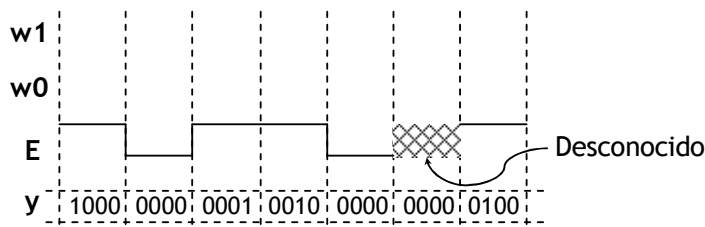
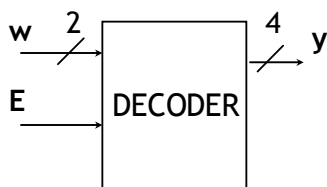
```
library ieee;
use ieee.std_logic_1164.all;
```

```
entity ejm is
port( b,c,d: in std_logic;
      z: out std_logic_vector(1 downto 0));
end ejm;
```

```
Architecture bhv of ejm is
begin
process (b, c, d)
begin
z <= c&d;
if b = '1' then
case d is
when '1' => z <= "01";
when others => z <= "00";
end case;
else
if c = '0' then
z <= "11";
end if;
end if;
end process;
end bhv;
```



3. Para un decodificador 2 a 4 con habilitador, complete el diagrama de tiempos para las señales 'w1' y 'w0' tal que la salida 'y' sea la mostrada. (1 pto.)



PRUEBA DE ENTRADA

NOMBRE : _____ FECHA: ____/____/2005

CÓDIGO : _____ LAB. N°: 3 HORARIO: H-445

1. Complete el diagrama de tiempos del circuito cuya descripción en VHDL se muestra (determine los valores de las señales 'y' y 'z'): (2 pts.)

```

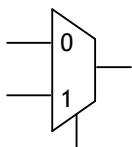
library ieee;
use ieee.std_logic_1164.all;

entity circ is
port (
w: in std_logic_vector(3 downto 0);
y: out std_logic_vector(1 downto 0);
z: out std_logic);
end circ;

architecture bhv of circ is
begin
process (w)
begin
y <= "00"; z <= '1';
if w(3)='1' then y <= "11";
end if;
if w(2)='1' then y <= "10";
end if;
if w(1)='1' then y <= "01";
end if;
if w = "0000" then z <= '0';
end if;
end process;
end bhv;
    
```

w	0011	1011	1000	0111	0001	1100	0110	1010	0000	1101	0100	1111	0010	1001
y														
z														

2. Utilizando sólo MUXs de 2 a 1, implemente la función $f(a,b,c) = ab + c$ (2 pts.)



3. Responda adecuadamente: (1 pts.)

a) Defina el modo de Dato 'Buffer' en VHDL: _____

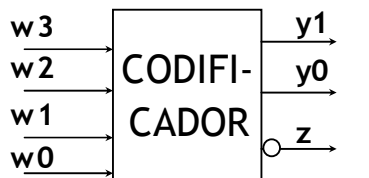
b) Enuncie 2 diferencias principales entre la Descripción Concurrente y la Descripción Comportamental (ó Secuencial):

PRUEBA DE ENTRADA

NOMBRE : _____ FECHA: ____/____/2005

CÓDIGO : _____ LAB. N°: 3 HORARIO: H-446

1. Describa en VHDL un codificador 4 a 2, cuya prioridad se especifica en la siguiente figura y cuya salida 'z' se activa en baja. (2 pts.)



w ₃	w ₂	w ₁	w ₀	y ₁	y ₀	z
0	0	0	0	0	0	1
1	0	0	0	1	1	0
x	1	0	0	1	0	0
x	x	1	0	0	1	0
x	x	x	1	0	0	0

```

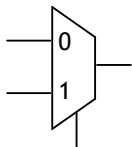
Library ieee;
use ieee.std_logic_1164.all;

entity codif is
    port ( w: in std_logic_vector(2 downto 0);
          y: out std_logic_vector(1 downto 0);
          z: out std_logic);
end codif;

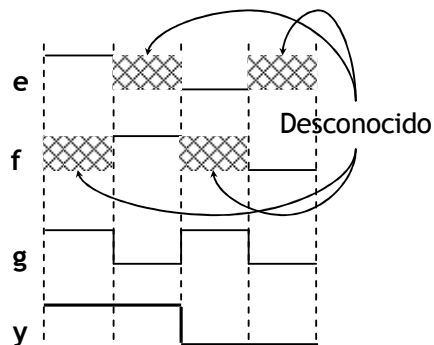
architecture behaviour of codif is
begin

end behaviour;
    
```

2. Usando sólo MUXs de 2 a 1 implemente las compuertas XOR y XNOR. (2 pts.)



3. Complete, utilizando la sentencia with-select, el código VHDL del circuito cuyo diagrama de tiempos se muestra. (1 pto.)



```

library ieee;
use ieee.std_logic_1164.all;

entity dcd is
    port ( e, f, g: in std_logic;
          y: out std_logic);
end dcd;

architecture behaviour of dcd is
begin

end behaviour;
    
```