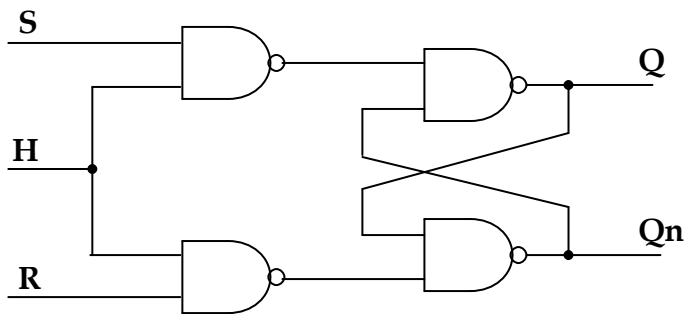


LATCHES, FLIP FLOPS, CONTADORES Y REGISTROS

Se empieza describiendo el Latch SR con habilitador y la derivación del Latch tipo D a partir del Latch SR. Posteriormente se muestra cómo es que se forma un registro de desplazamiento en base a flip flops tipo D. Luego, se muestra el flip flop JK y el tipo T, así como la derivación de estos flip flops a partir del flip flop tipo D, así como la derivación del flip flop tipo D a partir del JK. Finalmente, se muestra un contador síncrono en base a flip flops tipo T.

Latch SR:

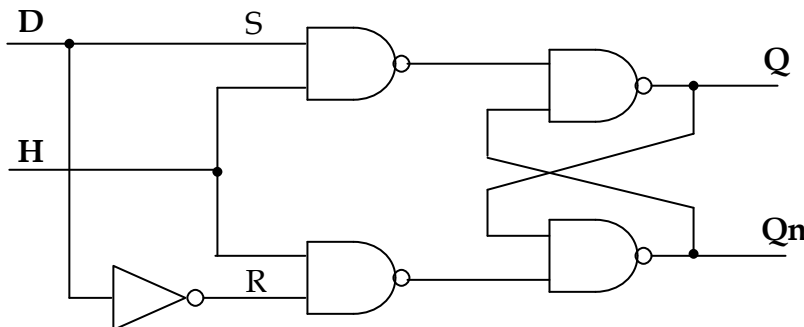
Se muestra el diagrama esquemático de un Latch SR con habilitador (en base a compuertas NAND), así como su tabla de verdad:



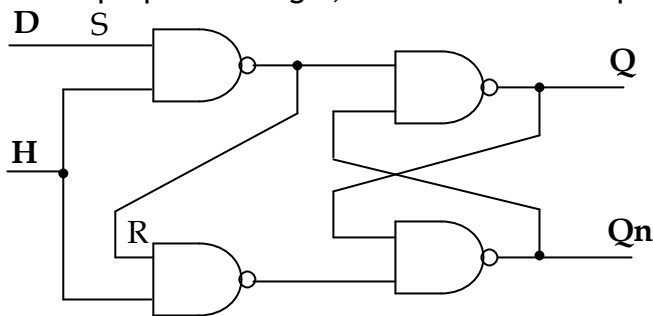
H	S	R	Q(t+1)
0	x	x	Q(t)
1	0	0	Q(t)
1	0	1	0
1	1	0	1
1	1	1	Prohibido

Latch D:

Este Latch puede obtenerse a partir del Latch SR. Para esto, $D = S$ y $R = \text{not}(D)$.

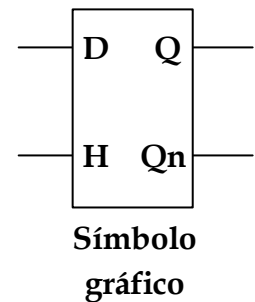


Con un pequeño arreglo, se ahorra una compuerta, y el circuito resulta:

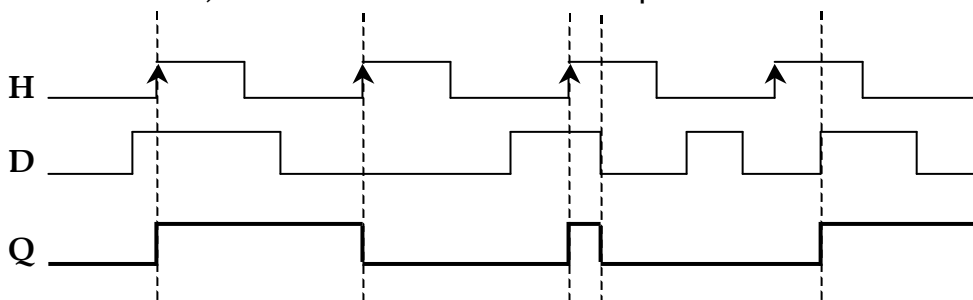


H	D	Q(t+1)
0	x	Q(t)
1	0	0
1	1	1

Tabla de verdad



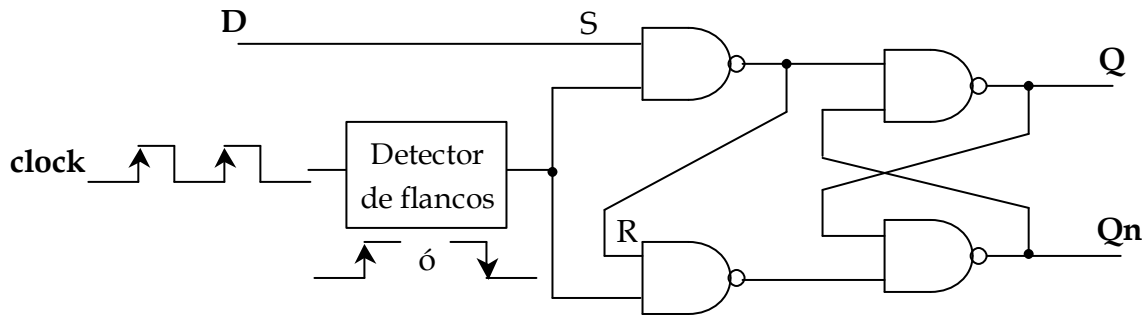
Se muestra un diagrama de tiempos para el Latch D. Nótese que la salida Q sólo cambia cuando $H = '1'$, como sucede con todos los tipos de latches.



Flip Flop Tipo D:

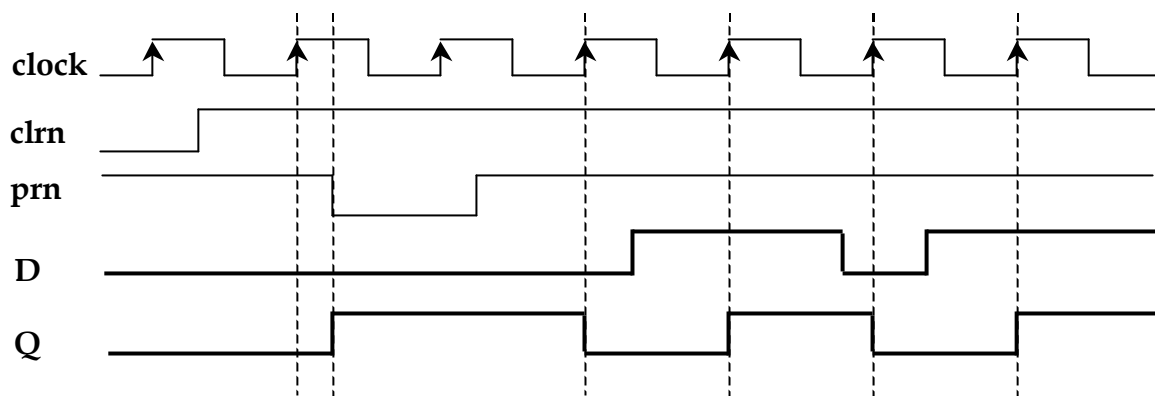
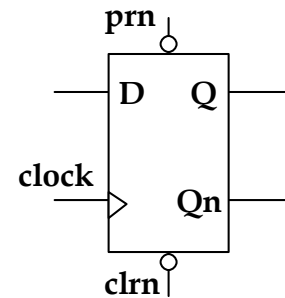
A diferencia del Latch, un flip flop sólo cambia su salida en el flanco (de subida o bajada) de una señal (llamada señal de reloj). La salida sólo depende de los valores de entrada presentes cuando el flanco de la señal de reloj ocurre. Para esto existe un circuito detector de flancos, el que se activa si ocurre un flanco (de subida o bajada) en la señal de reloj, la que es una onda cuadrada de frecuencia fija, esto para que los cambios en el flip flop estén sincronizados con esta frecuencia.

Se muestra el flip flop tipo D, el que cambia su salida Q en el flanco (de subida o bajada) de la señal de reloj o 'clock' (la que en el Latch era el habilitador):

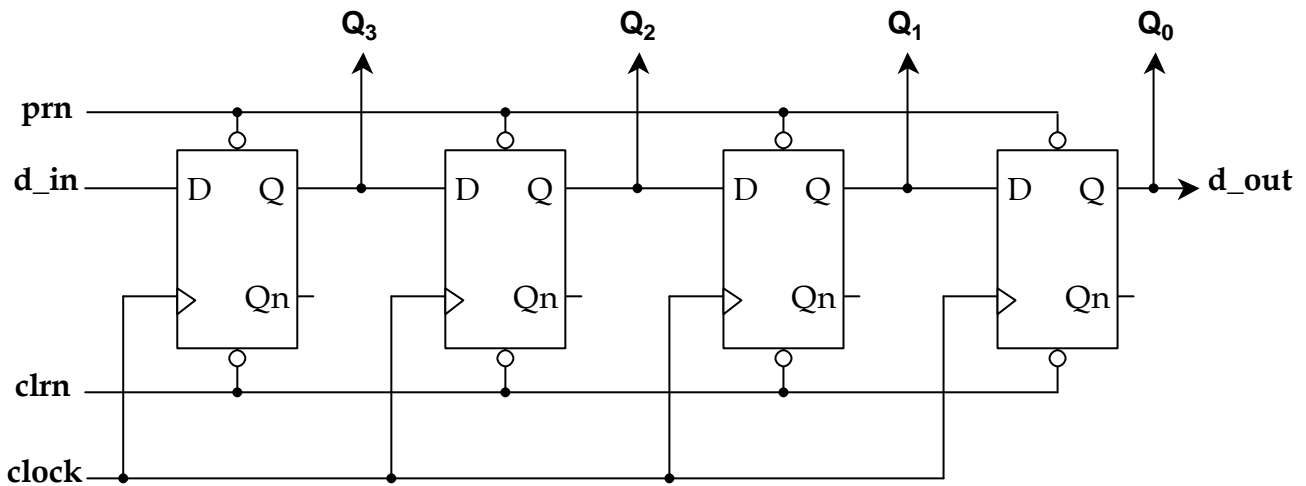


También deben existir las señales asíncronas 'clear' (que causa que $Q \leftarrow 0$) y 'preset' (que causa que $Q \leftarrow 1$). Estas señales hacen que la salida cambie inmediatamente sin importar el valor de la señal de reloj, y son útiles si se desea llevar a los flip flops a cierto estado inmediatamente (como en el encendido o reinicio del circuito) y no se tiene acceso directo a las señales síncronas que también podrían cambiar el estado de los flip flops, las que se prefieren usar para el control del circuito. El integrado 7474 contiene 2 flip flops tipo D, que se activan por flanco de subida, y que tienen 2 señales asíncronas: 'prn' (preset) y 'clrn' (clear) activas en baja.

Se muestra a continuación el símbolo gráfico de un flip flop tipo D, el triángulo indica el lugar por donde entra la señal de reloj, y además indica que se activa por flanco positivo. También se muestra un diagrama de tiempos para este flip flop tipo D:



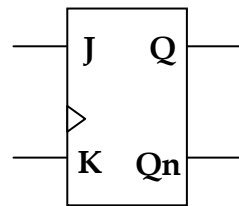
A partir de este flip flop tipo D, es posible formar un registro de desplazamiento de 'n' bits. La siguiente figura muestra un registro de desplazamiento de 4 bits:



Si se le agrega una señal de habilitación al 'clock', es posible controlar que el registro mantenga su valor por más de 1 ciclo. También se puede acondicionar el circuito tal que permita la carga en paralelo de un valor arbitrario.

Flip Flop JK:

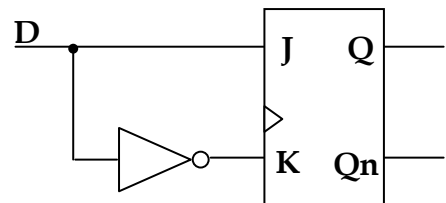
Se muestra el símbolo gráfico de un flip flop JK activado por flanco de subida, así como su tabla de verdad. Recordar que un flip flop sólo cambia su salida en el flanco, mientras no haya flanco el flip flop retiene la salida:



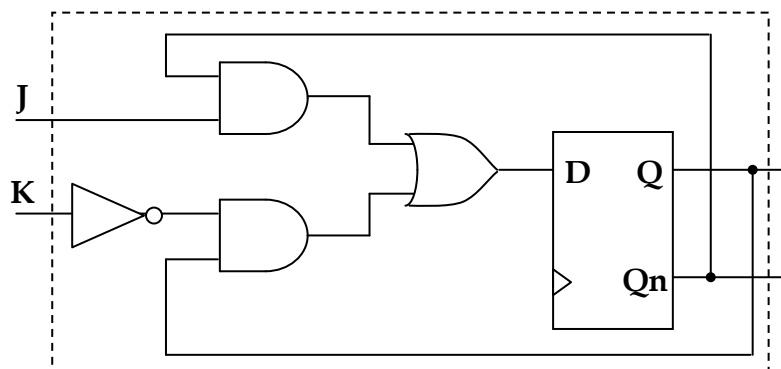
J	K	Q(t+1)
0	0	Q(t)
0	1	0
1	0	1
1	1	not(Q(t))

* El 7476 contiene 2 FF JK con entradas asíncronas 'clear' y 'reset'.

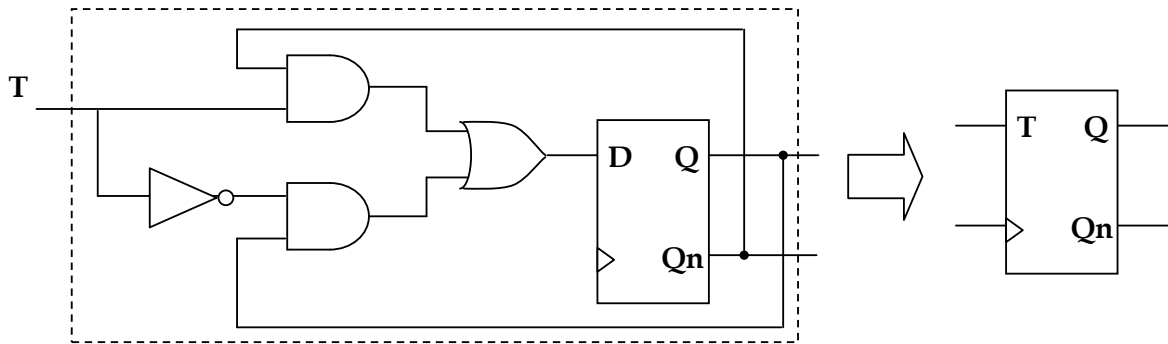
También es posible construir un FF D en base a JK:



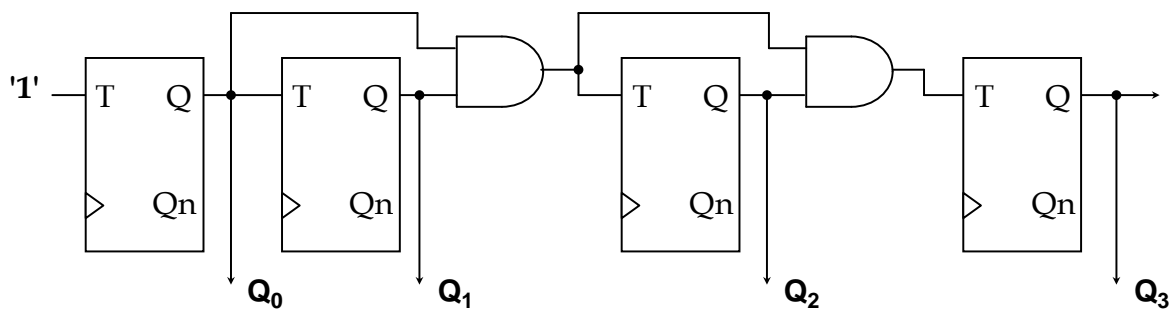
También puede formarse un FF JK en base a un FF D:



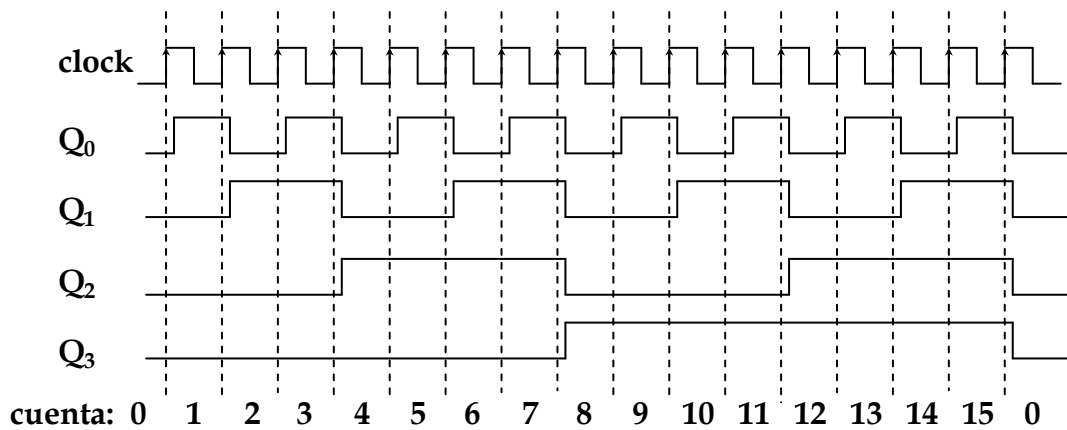
Recordar que si $J = K = T$, se tiene un **flip flop tipo T**. Un flip flop tipo T en base a un flip flop tipo D quedaría así:



En base a este FF T se pueden hacer **contadores síncronos**, como el contador de 4 bits que se muestra a continuación:



Se muestra el diagrama de tiempos para este contador:



EJERCICIO 1

- a) Latch Tipo D con señal de habilitación
Captura esquemática (Compilación Modo Funcional)
Simulación apropiada (debe plantearse cómo simularía al circuito)
Implementación utilizando compuertas NAND de 2 entradas.
- b) Registro de Desplazamiento de 4 bits
Captura esquemática (Compilación Modo Funcional)
Simulación apropiada (debe plantearse como simularía al circuito)
Implementación utilizando el integrado 7474.
* Al ser 4 flip flops se requieren 2 CI 7474, en caso no disponga de otro 7474, puede usar el 7476 (flip flop JK), para esto deberá transformar el FF JK en un Tipo D.

EJERCICIO 2

- a) Contador de 4 bits con entradas asíncronas 'clear' y 'reset'
Captura esquemática (Compilación Modo Funcional)
Simulación apropiada (debe plantearse cómo simularía al circuito)
* Al ser 4 flip flops se requieren 2 CI 7476 (FF JK que deberá transformar a FF tipo T), en caso no disponga de otro 7476, puede usar el 7474 (FF D), para esto deberá transformar el FF D en un FF T.