

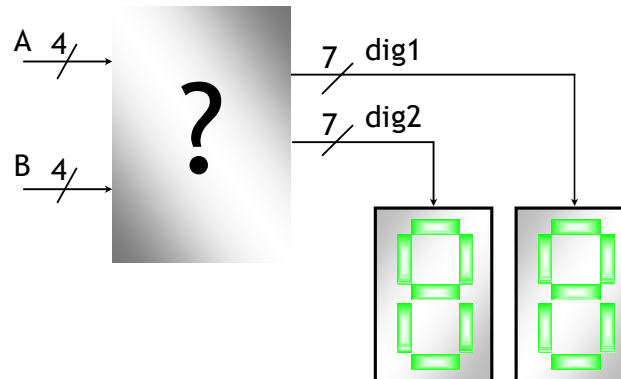
PROBLEMA VHDL

LAB. N°: 4

HORARIO: H-441

FECHA: 27/10/2005

-
- ✚ Se tienen 2 números en Código GRAY de 4 bits. Se requiere diseñar un circuito que obtenga la suma de estos 2 números y que muestre el resultado en formato BCD (decimal) en 2 visualizadores de 7 segmentos.



Entradas : Señales a[3..0] y b [3..0] en código GRAY
Salida : Señales Dig1[6..0] y Dig2[6..0] para los visualizadores

Observación:

- ❑ Si emplea sumadores, deberá crearlos a partir de sumadores de 1 bit, es decir deberá usar la Descripción Estructural.

Se le pide:

- Haga el diagrama de bloques del sistema, y dibújelo en la página de la Hoja de Trabajo titulada 'Problema 3 (VHDL): Bosquejo del problema'.
- Describa el circuito resultante en VHDL. Utilice la descripción concurrente, secuencial y estructural. Luego compile su código en forma Física.
- Simule su circuito con las entradas de excitación adecuadas.
- Implemente el circuito en el Módulo Programable.

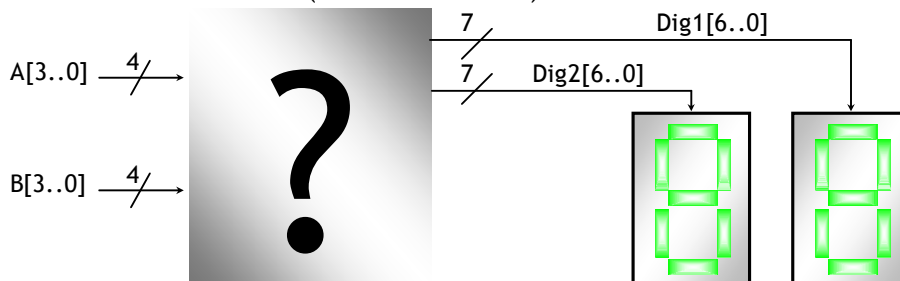
PROBLEMA VHDL

LAB. N°: 4

HORARIO: H-442

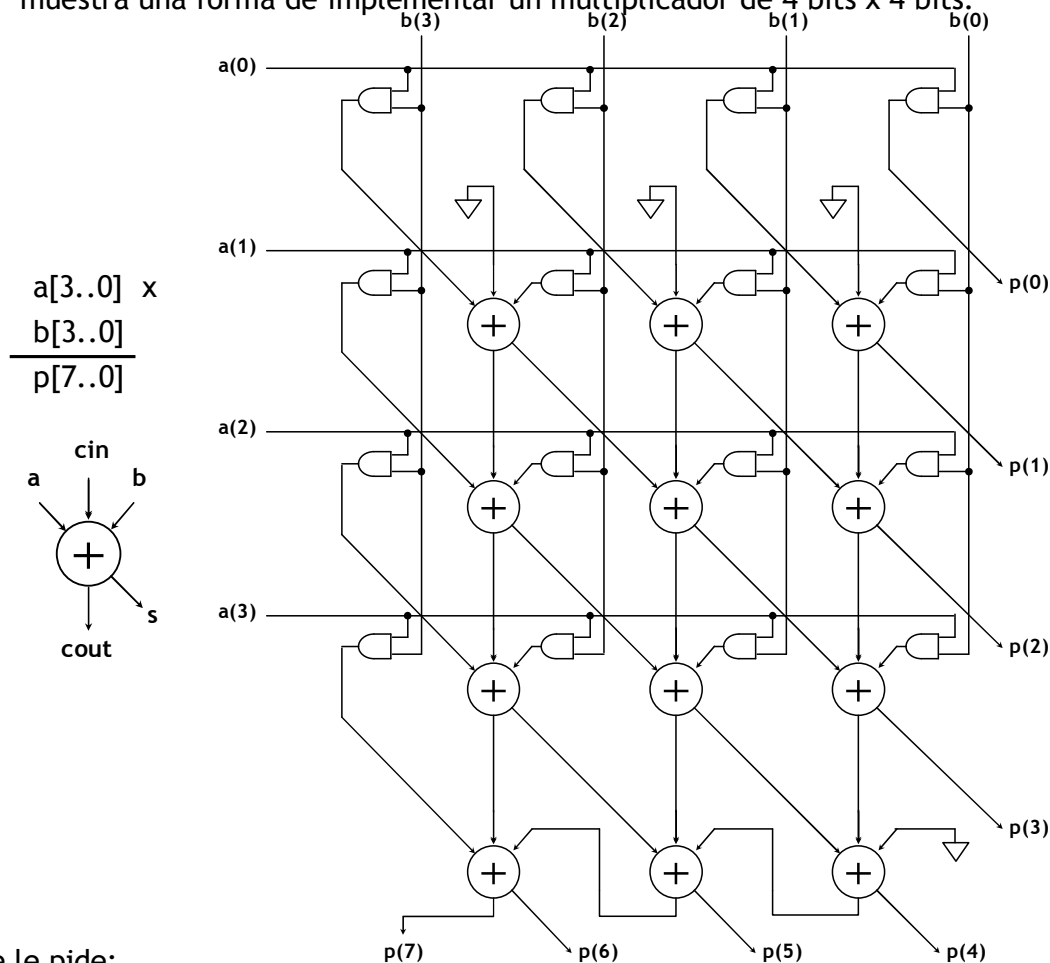
FECHA: 24/10/2005

- Se requiere un circuito que multiplique 2 números positivos de 4 bits cada uno y que muestre el resultado (en hexadecimal) en 2 visualizadores de 7 segmentos.



Observación:

- Para implementar el multiplicador **debe usar** la Descripción Estructural. Se muestra una forma de implementar un multiplicador de 4 bits x 4 bits:



Se le pide:

- Elabore el diagrama de bloque del circuito digital, y dibújelo en la página de la Hoja de Trabajo titulada 'Problema 3 (VHDL): Bosquejo del problema'.
- Describa el circuito en VHDL. Luego compile su código en forma Física.
- Simule su circuito con las entradas de excitación adecuadas.
- Implemente el circuito en el módulo Programable.

PROBLEMA VHDL

LAB. N°: 4

HORARIO: H-443

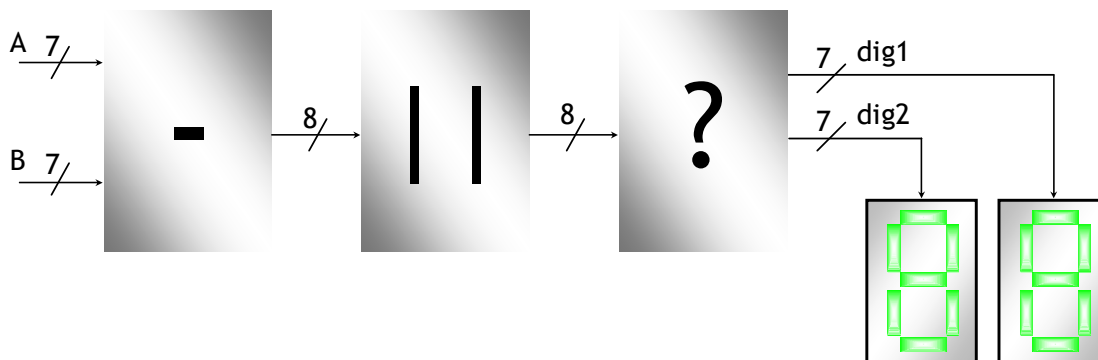
FECHA: 26/10/2005

Se requiere un circuito que:

- Reste 2 números en complemento a 2 de 7 bits cada uno, y que arroje como resultado un número de 8 bits en complemento a 2.
- Al resultado anterior de 8 bits en complemento a 2 le saque el valor absoluto. La salida será un número positivo de 8 bits.
- A la salida anterior de 8 bits positivos los muestre (en hexadecimal) en 2 visualizadores de 7 segmentos.

Entradas : Señales a[6..0] y b [6..0]

Salida : Señales Dig1[6..0] y Dig2[6..0] para los visualizadores



Observación:

- Para implementar el circuito restador y el circuito que obtiene el valor absoluto, deberá utilizar la Descripción Estructural, esto es deberá generar estos circuitos a partir de sumadores completos de 1 bit.

Se le pide:

- Realice el planteamiento de su circuito digital en la página de la Hoja de Trabajo titulada 'Problema 3 (VHDL): Bosquejo del problema'.
- Describa el circuito resultante en VHDL. Utilice la descripción concurrente, secuencial y estructural. Luego compile su código en forma Física.
- Simule su circuito con las entradas de excitación adecuadas.
- Implemente el circuito en el Módulo Programable.

PROBLEMA VHDL

LAB. N°: 4

HORARIO: H-444

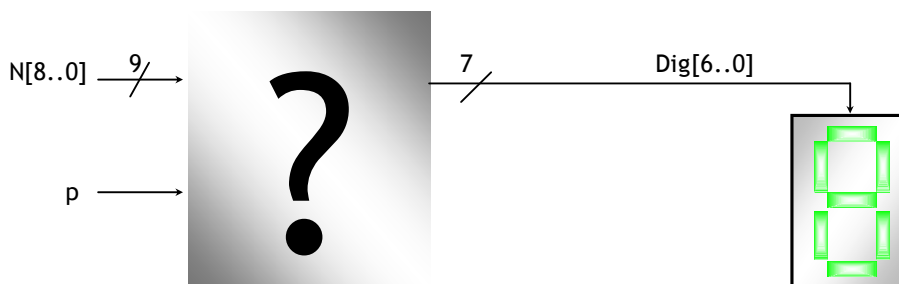
FECHA: 03/11/2005

- Se tiene 9 bits de datos que se envían con su paridad. Si existe una cantidad de '1s' pares su paridad será par, caso contrario su paridad será impar.

La señal que indica la paridad se llama 'p'.

Si 'p' = '1' → La paridad es par Si 'p' = '0' → La paridad es impar

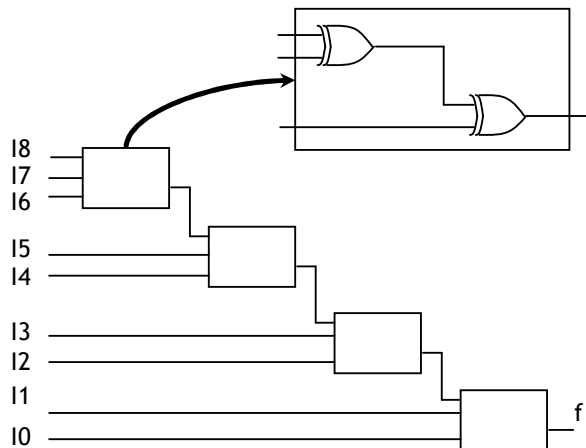
Se requiere un circuito que verifique que 9 bits tienen la paridad indicada por la señal 'p'. Si las paridades no coinciden, debe mostrarse en un visualizador de 7 segmentos el símbolo 'E'. Si las paridades coinciden, debe mostrarse 'O'.



Entradas : N[8..0], p
Salidas : Dig[6..0] para el visualizador

Observación:

- Para detectar la paridad, deberá usar el siguiente circuito que arroja un '1' cuando detecta la paridad impar en un número de 9 bits. Use la Descripción Estructural, es decir deberá crear el bloque en un archivo aparte y luego unirá todos los bloques como se muestra:



Se le pide:

- Haga el diagrama de bloques del sistema, y dibújelo en la página de la Hoja de Trabajo titulada 'Problema 3 (VHDL): Bosquejo del problema'.
- Describa el circuito resultante en VHDL. Utilice la descripción concurrente, secuencial y estructural. Luego compile su código en forma Física.
- Simule su circuito con las entradas de excitación adecuadas.
- Implemente el circuito en el Módulo Programable.

PROBLEMA VHDL

LAB. N°: 4

HORARIO: H-445

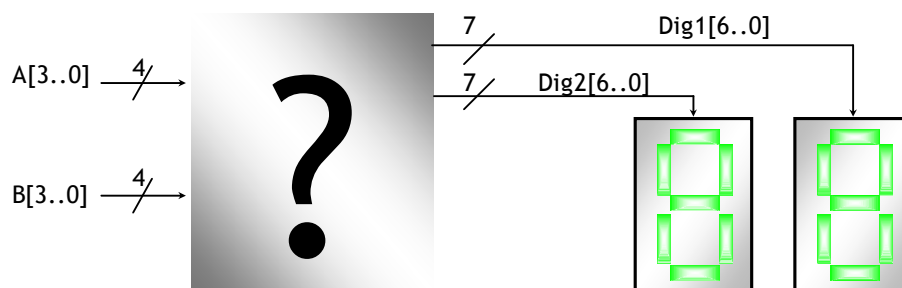
FECHA: 02/11/2005

Se tienen 2 números en complemento a 2 de 4 bits ($A[3..0]$ y $B[3..0]$). Se requiere diseñar un circuito que cumpla con las siguientes especificaciones:

Si $A > B \rightarrow$ En los visualizadores debe mostrarse 'A-B' en formato BCD

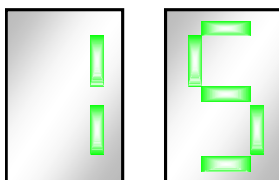
Si $A < B \rightarrow$ En los visualizadores debe mostrarse 'B-A' en formato BCD

* Note que el resultado de la resta siempre es un número positivo de 4 bits.



Ejemplo:

Si $A = '0111'$ y $B = '1000' \rightarrow A > B \rightarrow A - B = '1111' = 0Fh = 15d$
Y en los visualizadores debe mostrarse el número decimal 15:



Entradas : Señales $a[3..0]$ y $b [3..0]$ en código GRAY

Salida : Señales $Dig1[6..0]$ y $Dig2[6..0]$ para los visualizadores

Observación:

- Si emplea sumadores, deberá crearlos a partir de sumadores de 1 bit, es decir deberá usar la Descripción Estructural.
- Para la comparación, se sugiere usar la Descripción Secuencial. No olvide que para comparar números en complemento a 2 debe agregar la línea 'use ieee.std_logic_signed.all;' en la Declaración de Librerías.

Se le pide:

- Haga el diagrama de bloques del sistema, y dibújelo en la página de la Hoja de Trabajo titulada 'Problema 3 (VHDL): Bosquejo del problema'.
- Describa el circuito resultante en VHDL. Utilice la descripción concurrente, secuencial y estructural. Luego compile su código en forma Física.
- Simule su circuito con las entradas de excitación adecuadas.
- Implemente el circuito en el Módulo Programable.

PROBLEMA VHDL

LAB. N°: 4

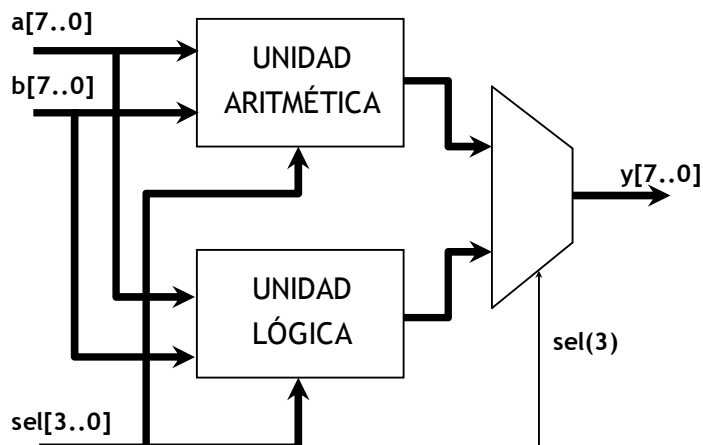
HORARIO: H-446

FECHA: 25/10/2005

✚ Diseño de una Unidad Aritmético - Lógica (ALU):

Este circuito realiza 2 tipos de operaciones: lógicas (bit a bit) y aritméticas.

La salida se selecciona mediante la entrada **sel[3..0]**, de la siguiente forma:



sel	Operación	Función	Unidad
0000	$y \leq a$	Transferir 'a'	Aritmética
0001	$y \leq a + 1$	Incrementar 'a'	
0010	$y \leq a - 1$	Decrementar 'a'	
0011	$y \leq b$	Transferir 'b'	
0100	$y \leq b + 1$	Incrementar 'b'	
0101	$y \leq b - 1$	Decrementar 'b'	
0110	$y \leq a + b$	Sumar 'a' y 'b'	
0111	$y \leq a - b$	Restar 'a' - 'b'	
1000	$y \leq \text{not } a$	Complementar 'a'	Lógica
1001	$y \leq \text{not } b$	Complementar 'b'	
1010	$y \leq a \text{ AND } b$	AND	
1011	$y \leq a \text{ OR } b$	OR	
1100	$y \leq a \text{ NAND } b$	NAND	
1101	$y \leq a \text{ NOR } b$	NOR	
1110	$y \leq a \text{ XOR } b$	XOR	
1111	$y \leq a \text{ XNOR } b$	XNOR	

Entradas: a [7..0], b [7..0]: Operandos de 8 bits en complemento a 2

sel [3..0]: Señal que elige el resultado que aparecerá a la salida.

Salidas: y [7..0]: Resultado de la operación seleccionada.

Observaciones:

- ❑ Para evitar problemas de desborde en la Unidad Aritmética, asuma que las entradas 'a' y 'b' están restringidas al rango [-64, +63] sólo para este caso.
- ❑ Deberá utilizar la Descripción Estructural para implementar los sumadores.

Se le pide:

- Diseñe el circuito digital, y dibújelo en la página de la Hoja de Trabajo titulada 'Problema 3 (VHDL): Bosquejo del problema'.
- Describa el circuito resultante en VHDL. Utilice la descripción concurrente, secuencial y estructural. Luego compile su código en forma Física.
- Simule su circuito con las entradas de excitación adecuadas.
- Implemente su circuito en el Módulo Programable.