

PROBLEMA VHDL

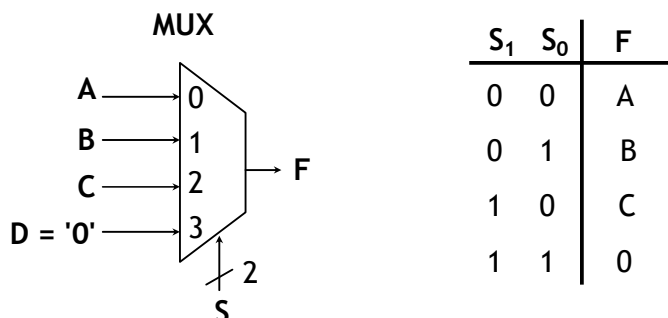
LAB. N°: 2

HORARIO: H-441

FECHA: 22/09/2005

El comportamiento de un circuito multiplexor (o MUX) de 4 entradas se describe a continuación:

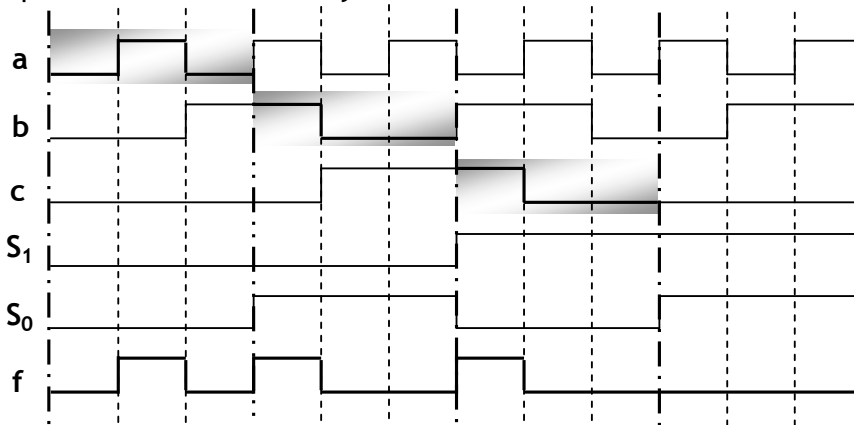
De las 4 entradas, sólo se deja pasar una de ellas, la decisión de qué señal se deja pasar se hace en base a un selector de 2 bits, de la siguiente forma:



Observación: Note que en este caso en particular la señal 'D' vale '0', lo que le será útil para reducir el circuito.

Se le pide:

- Diseñe el circuito digital (use la tabla de verdad rápida para obtener la ecuación booleana), y dibújelo en la página de la Hoja de Trabajo titulada 'Problema 3 (VHDL): Bosquejo del problema'.
- Describa el circuito resultante mediante la descripción horizontal en VHDL. Luego compílelo en forma Funcional.
- Simule su circuito con las entradas de excitación como se muestran a continuación. La salida debe comportarse en forma idéntica a la mostrada. Use los parámetros 'End Time' y 'Grid Size' de valores razonables.



- Dibuje el diagrama de conexiones (o diagrama eléctrico) de su circuito en la Hoja de Trabajo.
- Implemente el circuito en el protoboard.

PROBLEMA VHDL

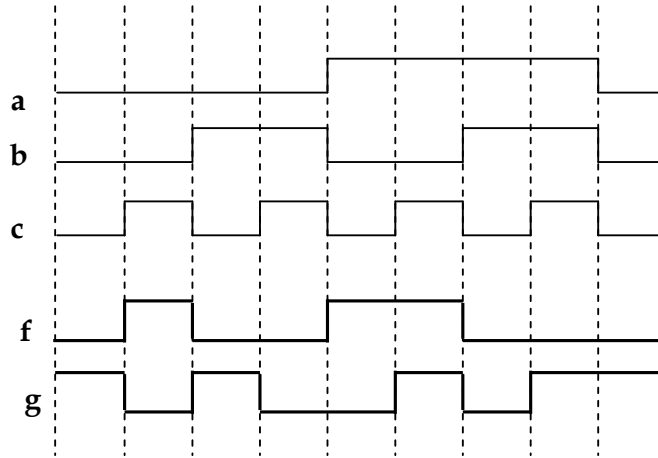
LAB. N°: 2

HORARIO: H-442

FECHA: 19/09/2005

.....

✚ Se muestra el diagrama de tiempos de un circuito cuyas salidas 'f' y 'g' se comportan según el siguiente diagrama de tiempos:



Se le pide:

- Diseñe el circuito digital (reduzca el circuito mediante mapas de Karnaugh) y dibújelo en la página de la Hoja de Trabajo titulada 'Problema 3 (VHDL): Bosquejo del problema'.
- Describa el circuito resultante mediante la descripción horizontal en VHDL. Luego compílelo en forma Funcional.
- Simule su circuito con las entradas de excitación adecuadas. Use los parámetros 'End Time' y 'Grid Size' de valores razonables.
- Dibuje el diagrama de conexiones (o diagrama eléctrico) de su circuito en la Hoja de Trabajo.
- Implemente el circuito en el protoboard.

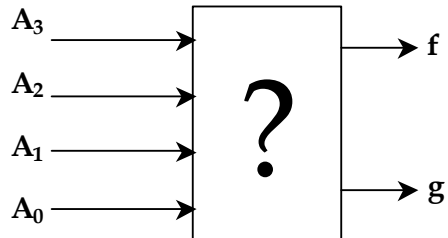
PROBLEMA VHDL

LAB. N°: 2

HORARIO: H-443

FECHA: 21/09/2005

-
- ✚ Diseñar un circuito que detecte si un número de 4 bits pertenece a la siguiente lista: 2,3, 8, 12, en cuyo caso debe hacer que $f = 1$, o si un número es impar, en cuyo caso debe hacer $g = 1$.



Se le pide:

- Diseñe el circuito digital (reduzca el circuito mediante mapas de Karnaugh) y dibújelo en la página de la Hoja de Trabajo titulada 'Problema 3 (VHDL): Bosquejo del problema'.
- Describa el circuito resultante mediante la descripción horizontal en VHDL. Luego compílelo en forma Funcional.
- Simule su circuito con las entradas de excitación adecuadas. Use los parámetros 'End Time' y 'Grid Size' de valores razonables.
- Dibuje el diagrama de conexiones (o diagrama eléctrico) de su circuito en la Hoja de Trabajo.
- Implemente el circuito en el protoboard.

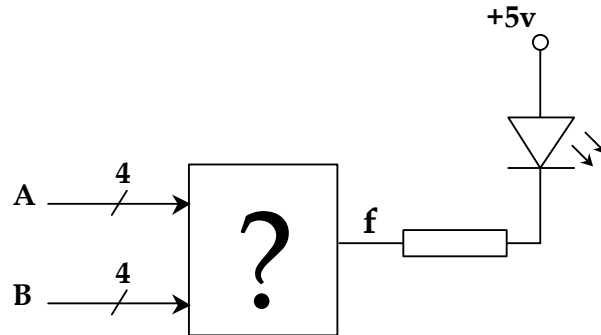
PROBLEMA VHDL

LAB. N°: 2

HORARIO: H-444

FECHA: 29/09/2005

-
- Implemente un circuito que encienda un LED (activo en baja) cuando el valor de 4 bits ingresado en A es igual al valor de 4 bits ingresado en B.



Se le pide:

- Diseñe el circuito digital y dibújelo en la página de la Hoja de Trabajo titulada 'Problema 3 (VHDL): Bosquejo del problema'.
- Describa el circuito resultante mediante la descripción horizontal en VHDL. Luego compílelo en forma Funcional.
- Simule su circuito con las entradas de excitación adecuadas. Use los parámetros 'End Time' y 'Grid Size' de valores razonables.
- Dibuje el diagrama de conexiones (o diagrama eléctrico) de su circuito en la Hoja de Trabajo.
- Implemente el circuito en el protoboard.

PROBLEMA VHDL

LAB. N°: 2

HORARIO: H-445

FECHA: 28/09/2005

✚ Apertura y Cierre de 3 válvulas:

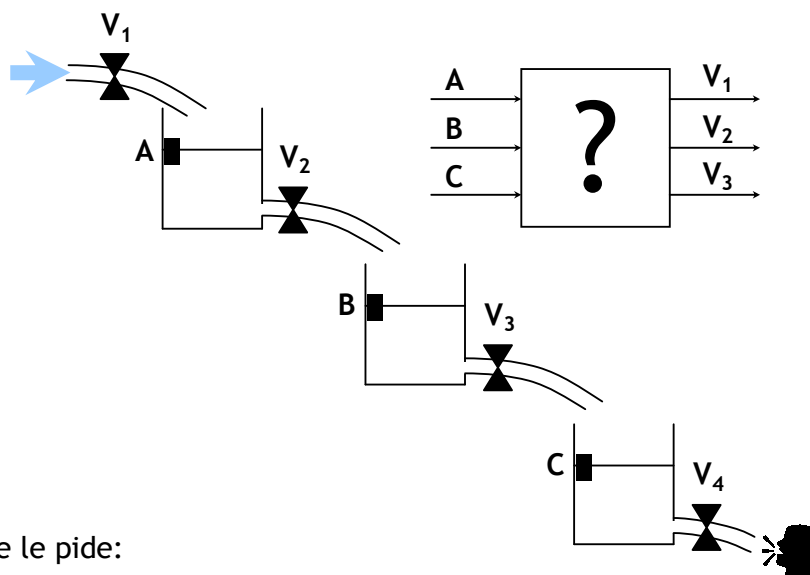
Se tienen 3 tanques de agua. Cada tanque posee un sensor (A, B y C). Si el sensor se encuentra sumergido, el sensor arroja un '1' lógico, en caso contrario, '0' lógico.

Además se tienen 3 válvulas a controlar (V_1 , V_2 y V_3). Estas válvulas se abren cuando se les envía un '1' lógico, y se cierran cuando se les envía un '0' lógico.

Se desea que los tanques siempre estén llenos, sin que el agua se derrame. Además, los tanques deben llenarse de la forma más rápida posible.

* Considere que el flujo de agua a la entrada de un tanque es exactamente igual al flujo de agua a la salida de un tanque.

* ' V_4 ' se controla en forma manual. Si el usuario quiere agua, abrirá la válvula.



Se le pide:

- Diseñe el circuito digital ('?') que controla la apertura/cierre de V_1 , V_2 y V_3 . Luego, dibújelo en la página de la Hoja de Trabajo titulada 'Problema 3 (VHDL): Bosquejo del problema'.
- Describa el circuito resultante mediante la descripción horizontal en VHDL. Luego compílelo en forma Funcional.
- Simule su circuito con las entradas de excitación adecuadas. Use los parámetros 'End Time' y 'Grid Size' de valores razonables.
- Dibuje el diagrama de conexiones (o diagrama eléctrico) de su circuito en la Hoja de Trabajo.
- Implemente el circuito en el protoboard.

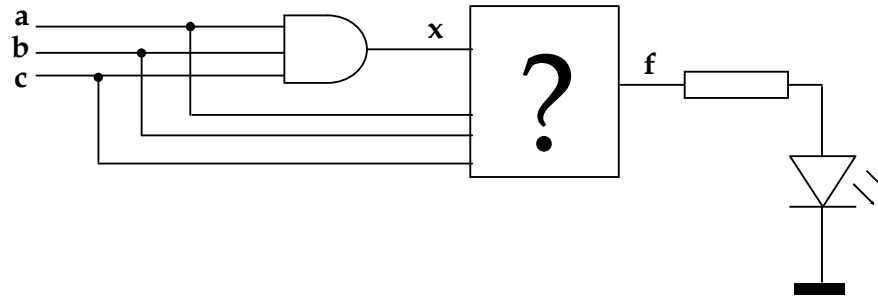
PROBLEMA VHDL

LAB. N°: 2

HORARIO: H-446

FECHA: 20/09/2005

-
- ✚ Se requiere un circuito que verifique el funcionamiento de una compuerta AND de 3 entradas, y si la compuerta está funcionando bien, el LED debe encenderse.



Se le pide:

- Diseñe el circuito digital (reduzca el circuito mediante mapas de Karnaugh) y dibújelo en la página de la Hoja de Trabajo titulada 'Problema 3 (VHDL): Bosquejo del problema'.
- Describa el circuito resultante mediante la descripción horizontal en VHDL. Luego compílelo en forma Funcional.
- Simule su circuito con las entradas de excitación adecuadas. Use los parámetros 'End Time' y 'Grid Size' de valores razonables.
- Dibuje el diagrama de conexiones (o diagrama eléctrico) de su circuito en la Hoja de Trabajo.
- Implemente el circuito en el protoboard.